

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 9 月 12 日 (12.09.2003)

PCT

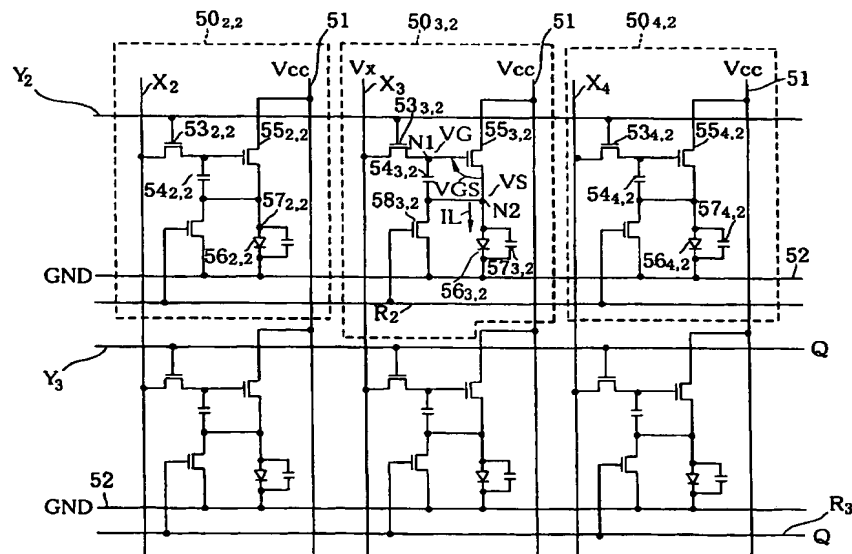
(10) 国際公開番号
WO 03/075256 A1

- (51) 国際特許分類⁷: G09G 3/30, 3/20, H05B 33/14 (72) 発明者: および
(21) 国際出願番号: PCT/JP03/02578 (75) 発明者/出願人 (米国についてのみ): 佐々木 勇男
(22) 国際出願日: 2003 年 3 月 5 日 (05.03.2003) (SASAKI, Isao) [JP/JP]; 〒108-8001 東京都 港区 芝五
(25) 国際出願の言語: 日本語 丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 井口
(26) 国際公開の言語: 日本語 康一 (IGUCHI, Koichi) [JP/JP]; 〒108-8001 東京都 港
(30) 優先権データ: (74) 代理人: 金田 暢之, 外 (KANEDA, Nobuyuki et al.); 〒
特願2002-059553 2002 年 3 月 5 日 (05.03.2002) JP 107-0052 東京都 港区 赤坂 1 丁目 9 番 20 号 第 16 興
特願2002-070730 2002 年 3 月 14 日 (14.03.2002) JP 和ビル 8 階 Tokyo (JP).
(81) 指定国 (国内): KR, US.
(71) 出願人 (米国を除く全ての指定国について): 日本電気 (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY,
株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,
東京都 港区 芝五丁目 7 番 1 号 Tokyo (JP). NL, PT, SE, SI, SK, TR).

[続葉有]

(54) Title: IMAGE DISPLAY AND ITS CONTROL METHOD

(54) 発明の名称: 画像表示装置およびその制御方法



(57) Abstract: An image display comprises a pixel having a drive transistor and a pixel display element connected in series between first and second power supply lines, a holding capacitor connected to the gate electrode of the drive transistor, and a selection transistor connected between a signal line and the gate electrode of the drive transistor. When the selection transistor is turned on, gradation pixel data is written in the holding capacitor through the signal line. The charge of the gradation pixel data written in the holding capacitor is released for a predetermined time through the drive transistor. Thereafter, the gate electrode of the drive transistor is made to float so as to hold the charge of the gradation pixel data held in the holding capacitor.

(57) 要約: 画像表示装置は、第 1 の電源線と第 2 の電源線との間に直列に接続された駆動トランジスタ及び画素表示素子と、駆動トランジスタのゲート電極に接続された保持容量と、信号線と駆動トランジスタのゲート電極との間に接続された選択トランジスタとを有する画素を備える。選択トラ

[続葉有]



添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

ンジスタをオン状態にすることにより信号線から保持容量へ階調画素データが書き込まれ、保持容量に書き込まれた階調画素データの電荷を駆動トランジスタを介して一定時間放電し、その後、駆動トランジスタのゲート電極をフローティングにすることにより保持容量に蓄積された階調画素データの電荷を保持する。

明 細 書

画像表示装置およびその制御方法

技術分野

- 本発明は、画像表示装置及びこの画像表示装置に用いられる制御方法に関し、
5 例えば、有機EL（エレクトロルミネセンス）ディスプレイなど、階調画素データに基づいて電流駆動される画素表示素子を用いた画像表示装置及びその画像表示装置に用いられる制御方法と、このような画像表示装置において有機EL素子などの電流制御素子を発光させるための駆動回路とその駆動方法とに関する。

背景技術

- 10 有機ELディスプレイなどのように、電流制御によって駆動される画素表示素子を用いた画像表示装置では、そのような画素表示素子すなわち電流制御素子を駆動するための駆動回路が1画素ごとに設けられており、このような駆動回路は各画素に対応して二次元状に多数配置されて画像表示装置が構成されている。各
15 駆動回路では、駆動トランジスタのゲート・ソース間に接続された保持容量に対し、信号線から選択トランジスタを介して階調画素データが書き込まれ、その画素データは、表示期間中、保持容量に保持される。この場合、保持容量には、画素の表示輝度に対応した信号電荷が書き込まれ、この信号電荷に応じた電流が駆動トランジスタから画素表示素子に供給される。

- この種の画像表示装置は、従来では、例えば、図1に示すように、表示パネル
20 10と、制御回路20と、信号線ドライバ30と、走査線ドライバ40とから構成されている。表示パネル10は、例えば、有機ELディスプレイなどで構成され、階調画素データDが印加される複数の信号線 $X_1, \dots, X_i, \dots, X_n$ 、走査信号Vが印加される複数の走査線 $Y_1, \dots, Y_j, \dots, Y_m$ 、及び各信号線 $X_1, \dots, X_i, \dots, X_n$ と各走査線 $Y_1, \dots, Y_j, \dots, Y_m$ との交差箇所に設けられた複数の画素1
25 0_{ij} ($i = 1, 2, \dots, n, j = 1, 2, \dots, m$) を有し、これらの画素 10_{ij} のうちの走査信号Vによって選択された走査線上の画素に階調画素データDを供給することによって画像を表示する。

制御回路20は、外部から供給される画像入力信号VDを信号線ドライバ30に供給するとともに、垂直走査信号PVを走査線ドライバ40に供給する。信号

線ドライバ30は、画像入力信号VDに応じた階調画素データDを各信号線 $X_1, \dots, X_i, \dots, X_n$ に印加する。走査線ドライバ40は、制御回路2から供給される垂直走査信号PVに同期したタイミングで走査信号Vを順次生成し、表示パネル10の対応する走査線 $Y_1, \dots, Y_j, \dots, Y_m$ に順次印加する。

- 5 図2は、図1中の画素10_{i,j}（例えば、 $i=3, j=2$ ）の電氣的構成を示す回路図である。

この画素10_{3,2}は、電源線11と、接地線12と、 n チャネル型MOS電界効果トランジスタ（FET）（以下、「 n MOS」という）で構成された選択トランジスタ13_{3,2}と、保持容量14_{3,2}と、 p チャネル型MOSFET（以下、「 p MOS」という）で構成された駆動トランジスタ15_{3,2}と、電流制御素子である画素表示素子16_{3,2}と、寄生容量17_{3,2}とから構成されている。また、画素10_{3,2}に隣接する図示しない画素10_{4,2}、10_{5,2}など、他の画素10_{i,j}も、同様の構成になっている。ここで、選択トランジスタ13_{3,2}と、保持容量14_{3,2}と、駆動トランジスタ15_{3,2}と、画素表示素子16_{3,2}と、寄生容量17_{3,2}とは、駆動回路を構成している。画素表示素子としては、例えば、有機EL素子が好ましく使用される。

10 選択トランジスタ13_{3,2}は、ゲート電極を選択線（不図示）に接続され、ドレイン電極を信号線 X_3 に接続され、ソース電極を駆動トランジスタ15_{3,2}のゲート電極に接続されている。保持容量14_{3,2}は、駆動トランジスタ15_{3,2}のゲート電極と電源線11との間に接続されている。駆動トランジスタ15_{3,2}は、ゲート電極を選択トランジスタ13_{3,2}のソース電極と保持容量14_{3,2}の一端に接続され、ソース電極を電源線11に接続され、ドレイン電極を画素表示素子16_{3,2}のアノードに接続されている。画素表示素子16_{3,2}は、駆動トランジスタ15_{3,2}のドレイン電極と接地線12との間に接続され、駆動トランジスタ15_{3,2}の電流 $I_{L,3,2}$ に応じた輝度で発光する。寄生容量17_{3,2}は、画素表示素子16_{3,2}の両端の寄生容量である。

25 この画素10_{3,2}では、選択期間中、すなわち、走査信号Vが走査線 Y_2 に印加されたとき、選択トランジスタ13_{3,2}がオン状態となり、信号線 X_3 に入力された階調画素データDが駆動トランジスタ15_{3,2}のゲート・ソース間に印加される。このとき、保持容量14_{3,2}が充電される。次に、選択期間から非選択期間に切り替

わったとき、選択トランジスタ $13_{3,2}$ がオフ状態になる。駆動トランジスタ $15_{3,2}$ のゲート・ソース間電圧 V_{GS} は、保持容量 $14_{3,2}$ によって保持されるため、非選択期間中も、書き込まれた階調画素データ D に応じた電流 $I_{L_{3,2}}$ が駆動トランジスタ $15_{3,2}$ から画素表示素子 $16_{3,2}$ に供給され続ける。また、画素 $10_{3,2}$ に隣接する画素 $10_{4,2}$ 、 $10_{5,2}$ などでも、同様の動作が行われる。

しかしながら、上記従来の画像表示装置では、次のような問題点があった。

すなわち、図 3 に示すように、画素 $10_{3,2}$ の駆動トランジスタ $15_{3,2}$ 、画素 $10_{4,2}$ の駆動トランジスタ $15_{4,2}$ 、及び画素 $10_{5,2}$ の駆動トランジスタ $15_{5,2}$ の $V_{GS} - I_{DS}$ (ゲート・ソース間電圧-ドレイン・ソース間電流) 特性は、個々の $pMOS$ によってばらつきがある。特に、しきい値のばらつきが大きく、駆動トランジスタ $15_{3,2}$ 、 $15_{4,2}$ 、 $15_{5,2}$ の各ゲート・ソース間に同一の階調画素データ D を印加しても、各ドレイン・ソース間電流 I_{DS} は、 $I_{L_{3,2}}$ 、 $I_{L_{4,2}}$ 、 $I_{L_{5,2}}$ となり、それぞれ異なる。このため、画素 $10_{3,2}$ の画素表示素子 $16_{3,2}$ 、画素 $10_{4,2}$ の画素表示素子 $16_{4,2}$ 、及び画素 $10_{5,2}$ の画素表示素子 $16_{5,2}$ に流れる電流がばらつくので、これらの画素表示素子 $16_{3,2}$ 、 $16_{4,2}$ 、 $16_{5,2}$ の発光輝度にばらつきが発生する。さらに、非選択期間中も、駆動トランジスタのゲート・ソース間電圧 V_{GS} は、保持容量によって保持されるため、階調画素データ D が同じ場合でも、駆動トランジスタのばらつきに基づいて、駆動回路によって異なる電流が電流制御素子に流れ続ける。

このように従来の画像表示装置では、同一の階調画素データすなわち信号電圧を書き込んでも、各電流制御素子の発光輝度にばらつきが発生し、表示画面の画質が低下するという問題点があった。

このような、駆動トランジスタのしきい値ばらつきによって生じる駆動電流のばらつきを防止するための方法として、R. Dawson らは、以下に述べる駆動回路を提案している (R. Dawson et al, "A Poly-Si Active-Matrix OLED Display with Integrated Drivers," SID' 99 DIGEST, pp. 11-14)。

図 4 は、R. Dawson らによる電流制御素子の駆動回路の構成を示したものである。この電流制御素子の駆動回路は、図 4 に示すように、電源線 21 と接地線 22 と信号線 23 との間に接続された、選択トランジスタ $24A$ と、保持容量 25

と、駆動トランジスタ 26 と、電流制御素子 27 と、寄生容量 28 と、デカップリング容量 29 と、スイッチングトランジスタ 31, 32 とからなっている。

選択トランジスタ 14A は、pMOS からなり、ゲート電極を選択線（不図示）に接続され、ソース電極を信号線 23 に接続され、ドレイン電極をデカップリング容量 29 の一端に接続されている。保持容量 25 は、駆動トランジスタ 26 のゲート電極と電源線 21 との間に接続されている。駆動トランジスタ 26 は、pMOS からなり、ゲート電極をデカップリング容量 19 の他端と保持容量 15 の一端に接続され、ソース電極を電源線 11 に接続され、ドレイン電極をスイッチングトランジスタ 32 のソース電極に接続されている。

電流制御素子 27 は、スイッチングトランジスタ 32 のドレイン電極と接地線 22 との間に接続されていて、駆動トランジスタ 26 の電流に応じた輝度で発光する。寄生容量 28 は、電流制御素子 27 の両端の寄生容量である。デカップリング容量 29 は、選択トランジスタ 24A のドレイン電極と駆動トランジスタ 26 のゲート電極との間に接続されていて、これらの間を直流的に分離する。スイッチトランジスタ 31 は、pMOS からなり、ゲート電極をリセット線（不図示）に接続され、ソース電極を駆動トランジスタ 26 のゲート電極に接続され、ドレイン電極を駆動トランジスタ 26 のドレイン電極に接続されている。スイッチングトランジスタ 32 は、pMOS からなり、ゲート電極をリセット線に接続され、ソース電極を駆動トランジスタ 26 のドレイン電極に接続され、ドレイン電極を電流制御素子 27 の一端に接続されている。

図 5 は、図 4 に示した従来の電流制御素子の駆動回路の動作を説明するタイミングチャートである。以下、図 4 に示した電流制御素子の駆動回路の動作を説明する。

図 4 に示した駆動回路では、選択期間が始まる前に、電流制御素子 27 の寄生容量 28 を放電し、駆動トランジスタ 26 のドレイン電圧 V_D を接地線電位にしておく必要がある。また、信号線 23 の電圧を電源線 21 の電圧 V_{DD} にしておく。

選択期間が開始されたとき、ロウ方向の選択信号を選択線に与えることによって、選択トランジスタ 24A をオンにし、リセットドライバ（不図示）からリセ

ット信号をリセット線に与えることによって、スイッチングトランジスタ 3 1 をオンにし、スイッチングトランジスタ 3 2 をオフにすると、駆動トランジスタ 2 6 のゲート電極とドレイン電極とを電氣的に接続した状態で、保持容量 2 5 に蓄積された電荷の放電が開始される。この状態で、充分、時間が経過すると、駆動トランジスタ 2 6 のゲート電圧 V_G がしきい値 V_T まで降下する。その後、スイッチングトランジスタ 3 1 をオフにして、駆動トランジスタ 2 6 のゲート電極をフローティングにする。

次に、信号線 2 3 からの入力電圧が、電源線 2 1 の電圧 V_{DD} から書き込み電圧 V_{DATA} に切り替えられると、駆動トランジスタ 2 6 のゲート・ドレイン間電圧 V_{GS} は、デカップリング容量 2 9 の容量値 C_D と、保持容量 2 5 の容量値 C_S との容量分割によって、下式で与えられるようになる。

$$\begin{aligned} V_{GS} &= V_G - V_{DD} \\ &= V_T + C_D \cdot (V_{DATA} - V_{DD}) / (C_S + C_D) \quad \dots (1) \end{aligned}$$

トランジスタのドレイン・ソース間電流値は、一般に、 $(V_{GS} - V_T)$ の関数で表されるが、上式からわかるように、 $(V_{GS} - V_T)$ が V_{DATA} で決まるので、駆動トランジスタ 2 6 のしきい値にばらつきがあっても、それが補正される。

しかしながら、図 4 に示した回路では、1 画素に対して 4 個のトランジスタが必要になるだけでなく、保持容量のほかに、デカップリング容量が必要になる。したがって、画素の開口率が低下して、製造プロセス的にも困難になるという問題がある。また、デカップリング容量 C_D の値が小さいと、書き込み電圧 V_{DATA} をより大きくしなければならぬので、 $C_D > C_S$ にすることが望ましいが、そのためには、デカップリング容量 C_D を形成するためのチップ面積が大きくなるという問題もある。さらに、選択期間前における電流制御素子の寄生容量の放電に時間がかかり、寄生容量放電の操作が複雑になるという欠点も持っている。

発明の開示

本発明の目的は、各画素表示素子の発光輝度のばらつきを抑え、表示画面の画質が向上する画像表示装置を提供することにある。

本発明の別の目的は、このような画像表示装置に用いられる制御方法を提供することにある。

5 本発明のさらに別の目的は、最小限の素子構成で、駆動トランジスタのしきい値ばらつきを補正することが可能な、電流制御素子の駆動回路を提供することにある。

本発明のさらに別の目的は、最小限の素子構成で、駆動トランジスタのしきい値ばらつきを補正することが可能な、電流制御素子の駆動回路の駆動方法を提供することにある。

10 本発明の第1の様相によれば、画像表示装置は、第1の電源線と第2の電源線との間に直列に接続された駆動トランジスタ及び画素表示素子と、駆動トランジスタのゲート電極に接続された保持容量と、信号線と駆動トランジスタのゲート電極との間に接続された選択トランジスタとを有する画素と、選択トランジスタをオン状態にすることにより信号線から保持容量へ階調画素データを書き込み、保持容量に書き込まれた階調画素データの電荷を駆動トランジスタを介して一定
15 時間放電し、この後、駆動トランジスタのゲート電極をフローティングにすることにより保持容量に蓄積された階調画素データの電荷を保持する制御手段と、を備える。

本発明の第2の様相によれば、画像表示装置の制御方法は、第1の電源線と第2の電源線との間に直列に接続された駆動トランジスタ及び画素表示素子と、駆動トランジスタのゲート電極に接続された保持容量と、信号線と駆動トランジスタのゲート電極との間に接続された選択トランジスタとを有する画素と、を含む
20 画像表示装置を制御する際に、選択トランジスタをオン状態にすることにより、信号線から保持容量へ階調画素データを書き込む画素データ書込み段階と、保持容量に書き込まれた階調画素データの電荷を駆動トランジスタを介して一定時間放電する放電段階と、放電段階の後、駆動トランジスタのゲート電極をフローティングにすることにより保持容量に蓄積された階調画素データの電荷を保持する画素データ保持段階と、を有する。

25 本発明の第3の様相によれば、電流制御素子の駆動回路は、第1の電源線と第2の電源線との間に直列に接続された駆動トランジスタと電流制御素子と、駆動

トランジスタのゲート電極に接続された保持容量と、信号線と駆動トランジスタのゲート電極との間に接続された選択トランジスタとを備え、駆動回路の選択期間に、選択トランジスタをオンにして信号線から第１の信号電圧を入力し、保持容量に書き込まれた信号電荷を駆動トランジスタを経て放電したのち、信号線から第２の信号電圧を入力して保持容量に保持し、駆動回路の非選択期間に、選択トランジスタをオフにして駆動トランジスタを経て電流制御素子に電流を流す。

本発明の第４の様相によれば、駆動回路は、第１の電源線と第２の電源線との間に直列に接続された駆動トランジスタと電流制御素子と、駆動トランジスタのゲート電極に接続された保持容量と、信号線と駆動トランジスタのゲート電極との間に接続された選択トランジスタとを備えており、この駆動回路は、駆動回路の選択期間に、選択トランジスタをオンにして信号線から第１の信号電圧を入力し、保持容量に書き込まれた信号電荷を駆動トランジスタを経て放電させる段階と、信号線から第２の信号電圧を入力して保持容量に保持させる段階と、駆動回路の非選択期間に、選択トランジスタをオフにして駆動トランジスタを経て電流制御素子に電流を流す段階と、を有する駆動方法によって駆動される。

図面の簡単な説明

図１は、従来の画像表示装置の電氣的構成を示すブロック図である。

図２は、図１に示す画像表示装置における画素の電氣的構成を示す回路図である。

図３は、各画素の駆動トランジスタの $I_{DS}-V_{GS}$ 特性を示すグラフである。

図４は、従来の電流制御素子の駆動回路の構成の一例を示す図である。

図５は、図４に示した回路の動作を説明するタイミングチャートである。

図６は、本発明の第１の実施形態による画像表示装置の電氣的構成を示すブロック図である。

図７は、図６に示した画像表示装置における画素及びそれに隣接する画素の電氣的構成を示す回路図である。

図８は、画像表示部の動作を説明するタイムチャートである。

図９は、駆動トランジスタの $I_{DS}-V_{GS}$ 特性を示すグラフである。

図１０は、画素表示素子の V_L-I_L 特性を示すグラフである。

図 1 1 は、各画素の駆動トランジスタの $I_{DS} - V_{GS}$ 特性を示すグラフである。

図 1 2 は、各画素の駆動トランジスタのゲート・ソース間電圧 V_{GS} の過渡特性を示すグラフである。

5 図 1 3 は、各画素の駆動トランジスタのドレイン電流の I_{DS} の過渡特性を示すグラフである。

図 1 4 は、各画素の駆動トランジスタの $I_{DS} - V_{GS}$ 特性を示すグラフである。

10 図 1 5 は、各画素の駆動トランジスタの $I_{DS} - V_{GS}$ 特性を示すグラフである。

図 1 6 は、本発明の第 2 の実施形態に基づく画像表示装置の電氣的構成を示すブロック図である。

図 1 7 は、図 1 6 に示す画像表示装置における画素の電氣的構成を示す回路図である。

15 図 1 8 は、画像表示部の動作を説明するタイムチャートである。

図 1 9 は、本発明の第 3 の実施形態に基づく画像表示装置の電氣的構成を示すブロック図である。

図 2 0 は、図 1 9 に示す画像表示装置における画素の電氣的構成を示す回路図である。

20 図 2 1 は、画像表示部の動作を説明するタイムチャートである。

図 2 2 は、本発明の第 4 の実施形態に基づく画像表示装置の電氣的構成を示すブロック図である。

図 2 3 は、画像表示部の動作を説明するタイムチャートである。

25 図 2 4 は、本発明の第 5 の実施形態に基づく画像表示装置の電氣的構成を示すブロック図である。

図 2 5 は、図 2 4 に示す画像表示装置における画素の電氣的構成を示す回路図である。

図 2 6 は、本発明の第 6 の実施形態に基づく画像表示装置の電氣的構成を示すブロック図である。

図 2 7 は、図 2 6 に示す画像表示装置における画素の電氣的構成を示す回路図である。

図 2 8 は、本発明の第 7 の実施形態に基づく画像表示装置の電氣的構成を示すブロック図である。

5 図 2 9 は、図 2 8 に示す画像表示装置における画素の電氣的構成を示す回路図である。

図 3 0 は、本発明の第 8 の実施形態に基づく画像表示装置の電氣的構成を示すブロック図である。

10 図 3 1 は、本発明の第 9 の実施形態に基づく画像表示装置の電氣的構成を示すブロック図である。

図 3 2 は、図 3 1 に示す画像表示装置における画素の電氣的構成を示す回路図である。

図 3 3 は、画像表示部の動作を説明するタイムチャートである。

図 3 4 は、画像表示部の動作を説明するタイムチャートである。

15 図 3 5 は、本発明の第 1 0 の実施形態に基づく画像表示装置の電氣的構成を示すブロック図である。

図 3 6 は、図 3 5 に示す画像表示装置における画素の電氣的構成を示す回路図である。

20 図 3 7 は、本発明の第 1 1 の実施形態に基づく画像表示装置の電氣的構成を示すブロック図である。

図 3 8 は、図 3 7 に示す画像表示装置における画素の電氣的構成を示す回路図である。

図 3 9 は、画像表示部の動作を説明するタイムチャートである。

25 図 4 0 は、本発明の第 1 2 の実施形態に基づく画像表示装置の電氣的構成を示すブロック図である。

図 4 1 は、図 4 0 に示す画像表示装置における画素の電氣的構成を示す回路図である。

図 4 2 は、本発明の第 1 3 の実施形態に基づく電流制御素子の駆動回路の構成を示す回路図である。

図 4 3 は、図 4 2 に示す電流制御素子の駆動回路の動作を説明するタイミングチャートである。

図 4 4 は、図 4 2 に示す回路における駆動トランジスタの $I_{DS} - V_{GS}$ 特性を示すグラフである。

5 図 4 5 は、図 4 2 に示す回路における電流制御素子の $I_L - V_L$ 特性を示すグラフである。

図 4 6 は、駆動トランジスタの特性がばらついているときの $I_{DS} - V_{GS}$ 特性を示すグラフである。

10 図 4 7 は、駆動トランジスタの特性がばらついているときのゲート・ソース間電圧 V_{GS} の過渡特性を示すグラフである。

図 4 8 は、本発明の第 1 4 の実施形態に基づく電流制御素子の駆動回路の動作を説明するタイミングチャートである。

図 4 9 は、本発明の第 1 5 の実施形態に基づく電流制御素子の駆動回路の構成を示す回路図である。

15 図 5 0 は、図 4 9 に示す電流制御素子の駆動回路の動作を説明するタイミングチャートである。

図 5 1 は、本発明の第 1 6 の実施形態に基づく電流制御素子の駆動回路の構成を示す回路図である。

20 図 5 2 は、図 5 1 に示す電流制御素子の駆動回路の動作を説明するタイミングチャートである。

図 5 3 は、本発明の第 1 7 の実施形態に基づく電流制御素子の駆動回路の構成を示す回路図である。

図 5 4 は、本発明の第 1 9 の実施形態に基づく電流制御素子の駆動回路の構成を示す回路図である。

25 図 5 5 は、本発明の第 2 0 の実施形態に基づく電流制御素子の駆動回路の構成を示す回路図である。

発明を実施するための最良の形態

以下、図面を参照して、この発明の実施の形態について説明する。

第 1 の実施形態

図6は、この発明の第1の実施形態に基づく画像表示装置の電氣的構成を示すブロック図である。

画像表示装置は、表示パネル50と、制御回路60と、信号線ドライバ70と、走査線ドライバ80と、リセット信号線ドライバ90とから構成されている。表示パネル50は、例えば、有機ELディスプレイなどで構成され、階調画素データDが印加される複数の信号線 $X_1, \dots, X_j, \dots, X_n$ 、走査信号Vが印加される複数の走査線 $Y_1, \dots, Y_j, \dots, Y_m$ 、リセット信号Qが印加される複数のリセット信号線 $R_1, \dots, R_j, \dots, R_m$ 、及び各信号線 $X_1, \dots, X_j, \dots, X_n$ と各走査線 $Y_1, \dots, Y_j, \dots, Y_m$ との交差箇所に設けられた複数の画素50_{i,j} ($i=1, 2, \dots, n, j=1, 2, \dots, m$)を有し、これらの画素50_{i,j}のうちの走査信号Vによって選択された走査線上の画素に階調画素データDを供給することによって画像を表示する。

制御回路60は、外部から供給される画像入力信号VDを信号線ドライバ70、垂直走査信号PVを走査線ドライバ80、及びリセット制御信号RAをリセット信号線ドライバ90に供給する。信号線ドライバ70は、画像入力信号VDに応じた階調画素データDを各信号線 $X_1, \dots, X_j, \dots, X_n$ に印加する。走査線ドライバ80は、制御回路60から供給される垂直走査信号PVに同期したタイミングで走査信号Vを順次生成し、表示パネル10の対応する走査線 $Y_1, \dots, Y_j, \dots, Y_m$ に例えば線順次で印加する。リセット信号線ドライバ90は、リセット制御信号RAに基づいてリセット信号Qを各リセット信号線 $R_1, \dots, R_j, \dots, R_m$ に印加する。

図7は、図6中の画素50_{i,j} (例えば、 $i=3, j=2$)とこの画素に隣接する画素_jの電氣的構成を示している。画素50_{3,2}は、電源線51と、接地線52と、選択トランジスタ53_{3,2}と、保持容量54_{3,2}と、駆動トランジスタ55_{3,2}と、画素表示素子56_{3,2}と、寄生容量57_{3,2}と、リセットトランジスタ58_{3,2}とから構成されている。電源線51には、接地線52を基準として電源電圧Vccが供給されている。選択トランジスタ53_{3,2}は、例えばnMOSで構成され、ドレイン電極が信号線 X_3 、ソース電極がノードN1、及びゲート電極が走査線 Y_2 に接続され、走査信号Vに基づいて信号線 X_3 とノードN1との間の導通状態をオン/オフ制御

する。

保持容量 $54_{3,2}$ は、ノード $N1$ とノード $N2$ との間に接続され、駆動トランジスタ $55_{3,2}$ のソース電極とゲート電極との間の電圧を保持する。駆動トランジスタ $55_{3,2}$ は、例えば $nMOS$ で構成され、ドレイン電極が電源線 51 (電源電圧 V_{cc})、ソース電極がノード $N2$ 、及びゲート電極がノード $N1$ に接続され、ソース電極とゲート電極との間の電圧に基づいて制御される出力電流 I_L を電源電圧 V_{cc} からノード $N2$ へ流す。画素表示素子 $56_{3,2}$ は、アノードがノード $N2$ 、及びカソードが接地線 52 に接続されると共に、アノードとカソードとの間に寄生容量 $57_{3,2}$ を有し、駆動トランジスタ $55_{3,2}$ の出力電流 I_L に基づいた階調の画素を表示する。画素表示素子 $56_{3,2}$ としては、有機 EL 素子が好ましく使用される。リセットトランジスタ $58_{3,2}$ は、例えば $nMOS$ で構成され、ドレイン電極がノード $N2$ 、ソース電極が接地線 52 、及びゲート電極がリセット信号線 R_2 に接続され、リセット信号 Q に基づいてノード $N2$ と接地線 52 との間の導通状態をオン/オフ制御する。また、画素 $50_{3,2}$ に隣接する画素 $50_{2,2}$ 、 $50_{4,2}$ も、それぞれ選択トランジスタ $53_{2,2}$ 、駆動トランジスタ $55_{2,2}$ 、選択トランジスタ $53_{4,2}$ 、駆動トランジスタ $55_{4,2}$ などを有し、同様の構成になっている。他の画素 $50_{i,j}$ も、同様の構成になっている。

図 8 は、図 7 に示した画像表示部 $50_{3,2}$ の動作を説明するためのタイムチャートである。図 9 は、駆動トランジスタ $55_{3,2}$ の $I_{DS}-V_{GS}$ 特性を示し、図 10 は、画素表示素子 $56_{3,2}$ の V_L-I_L 特性を示し、図 11 は、各画素の駆動トランジスタ $55_{3,2}$ 、 $55_{2,2}$ 、 $55_{4,2}$ の $I_{DS}-V_{GS}$ 特性を示し、図 12 は、各画素の駆動トランジスタ $55_{3,2}$ 、 $55_{2,2}$ 、 $55_{4,2}$ の V_{GS} (ゲート・ソース間電圧) の過渡特性を示し、図 13 は、各画素の駆動トランジスタ $55_{3,2}$ 、 $55_{2,2}$ 、 $55_{4,2}$ の I_{DS} (ドレイン電流) の過渡特性を示し、図 14 は、各画素の駆動トランジスタ $55_{3,2}$ 、 $55_{2,2}$ 、 $55_{4,2}$ の $I_{DS}-V_{GS}$ 特性を示し、図 15 は、各画素の駆動トランジスタ $55_{3,2}$ 、 $55_{2,2}$ 、 $55_{4,2}$ の $I_{DS}-V_{GS}$ 特性を示している。これらの図を参照して、図 6 に示した画像表示装置の制御方法について説明する。

非選択期間 $T1$ では、選択トランジスタ $53_{3,2}$ 及びリセットトランジスタ $58_{3,2}$ は、オフ (遮断) 状態になっている。時刻 $t1$ において選択期間 $T2$ が開始す

ると、走査信号 V が走査線 Y_2 に印加されて選択トランジスタ $53_{3,2}$ がオフ状態からオン（導通）状態になり、かつ、リセット信号 Q がリセット信号線 R_2 に印加されてリセットトランジスタ $58_{3,2}$ オフ状態からオン（導通）状態になる。このとき、信号線 X_3 に入力される電圧 V_x は、グランドレベルと同一の $0V$ である。選択トランジスタ $53_{3,2}$ 及びリセットトランジスタ $58_{3,2}$ がオン状態であるため、保持容量 $54_{3,2}$ 及び寄生容量 $57_{3,2}$ の電荷が放電され、駆動トランジスタ $55_{3,2}$ のゲート電圧 V_G 及びソース電圧 V_S が $0V$ となる（第1の放電処理）。また、駆動トランジスタ $55_{3,2}$ のゲート・ソース間電圧 V_{GS} が $0V$ であるため、この駆動トランジスタ $55_{3,2}$ のドレイン・ソース間には電流が流れない。

- 10 次に、時刻 t_2 において、リセットトランジスタ $58_{3,2}$ がオン状態からオフ状態になると共に、信号線 X_3 の電圧 V_x が $0V$ から V_{DATA} に遷移し、階調画素データ D が書き込まれる（画素データ書き込み処理）。この直後では、駆動トランジスタ $55_{3,2}$ のゲート・ソース間電圧 V_{GS} は、

$$V_{GS} = V_{DATA} \times C_L / (C_H + C_L)$$

- 15 ただし、

C_H ; 保持容量 $54_{3,2}$ の容量値

C_L ; 寄生容量 $57_{3,2}$ の容量値

となる。また、駆動トランジスタ $55_{3,2}$ のソース電圧 V_S は、

$$V_S = V_{DATA} \times C_H / (C_H + C_L)$$

- 20 となる。

このとき、駆動トランジスタ $55_{3,2}$ のゲート・ソース間電圧 V_{GS} は、図19に示す $V_{GS} - I_{DS}$ 特性において、その駆動トランジスタ $55_{3,2}$ のしきい値 V_T よりも大きくなっている（すなわち、 $V_{GS} > V_T$ ）。また、画素表示素子 $56_{3,2}$ の端子間電圧 V_L 、すなわち駆動トランジスタ $55_{3,2}$ のソース電圧 V_S は、
25 図20に示す $V_L - I_L$ 特性において、電流 I_L が流れ始める電圧 V_{OFF} よりも小さくなっている（すなわち、 $V_S < V_{OFF}$ ）。駆動トランジスタ $55_{3,2}$ のゲート・ソース間電圧 V_{GS} は、しきい値 V_T よりも大きい（ $V_{GS} > V_T$ ）ため、この駆動トランジスタ $55_{3,2}$ のドレイン・ソース間に電流 I_L が流れる。この電流 I_L によって寄生容量 $57_{3,2}$ に電荷が充電され、画素表示素子 $56_{3,2}$ の端

子間電圧 V_L 、すなわち駆動トランジスタ $55_{3,2}$ のソース電圧 V_S が上昇する。同時に、駆動トランジスタ $55_{3,2}$ のゲート電圧 V_G が一定値の V_{DATA} であるため、駆動トランジスタ $55_{3,2}$ のゲート・ソース間電圧 V_{GS} は、減少しつつ、しきい値 V_T に近づく。すなわち、駆動トランジスタ $55_{3,2}$ のソース電圧 V_S は、
5 $[V_{DATA} - V_T]$ に近づく。

ここで、駆動トランジスタ $55_{3,2}$ 及び図7中の駆動トランジスタ $55_{2,2}$ 、 $55_{4,2}$ は、図示しないガラス基板上に形成される薄膜トランジスタなどであるため、ドレイン・ソース間電流 I_{DS} とゲート・ソース間電圧 V_{GS} の関係を示す $I_{DS} - V_{GS}$ 特性には、図21に示すように、個々の駆動トランジスタ $55_{2,2}$ 、 $55_{3,2}$ 、 $55_{4,2}$ によってばらつきがある。例えば、図22に示すように、信号線 X_3 の電圧 V_x が0Vから V_{DATA} に遷移してから十分な時間が経過すると、駆動トランジスタ $55_{2,2}$ 、 $55_{3,2}$ 、 $55_{4,2}$ のゲート・ソース間電圧 V_{GS} は、それぞれ駆動トランジスタ $55_{2,2}$ 、 $55_{3,2}$ 、 $55_{4,2}$ のしきい値 V_{Ta} 、 V_{Tb} 、 V_{Tc} になる。また、駆動トランジスタ $55_{2,2}$ 、 $55_{3,2}$ 、 $55_{4,2}$ の各ドレイン・ソース間電流 I_{DS} は、図23に示すように、画素データの書き込み直後の電流値から次第に減少して0に近づく。
10

この実施形態では、個々の駆動トランジスタ $55_{2,2}$ 、 $55_{3,2}$ 、 $55_{4,2}$ のゲート・ソース間電圧 V_{GS} がしきい値 V_{Ta} 、 V_{Tb} 、 V_{Tc} になる時刻 t_a 、 t_b 、 t_c より前の任意の時刻 t_s において、選択トランジスタ $53_{2,2}$ 、 $53_{3,2}$ 、 $53_{4,2}$ をオフ状態にして保持容量 $54_{2,2}$ 、 $54_{3,2}$ 、 $54_{4,2}$ に蓄積された電荷の放電を停止し（第2の放電処理）、非選択期間 T_3 に移る。この場合、保持容量 $54_{2,2}$ 、 $54_{3,2}$ 、 $54_{4,2}$ に信号電荷が書き込まれた後、蓄積された信号電荷は駆動トランジスタ $55_{2,2}$ 、 $55_{3,2}$ 、 $55_{4,2}$ を介してドレイン・ソース間電流として放電される。このとき、駆動トランジスタ $55_{2,2}$ 、 $55_{3,2}$ 、 $55_{4,2}$ のうちの電流能力の大きいトランジスタは、より大きい放電電流を流すので、ゲート・ソース間電圧 V_{GS} はより早く減少し、電流の減少速度が大きい。一方、電流能力の小さいトランジスタでは、より小さな放電電流が流れるので、より遅くゲート・ソース間電圧 V_{GS} が減少し、電流の減少速度が小さい。
20
25

例えば、図14に示すように、設定された階調電流に対応する一定の信号電圧

VGS1が保持容量54_{2,2}, 54_{3,2}, 54_{4,2}に書き込まれたとき、電流能力の大きいトランジスタでは電流値IDS_hの電流が流れ、電流能力の小さいトランジスタでは電流値IDS_lの電流が流れる。このため、平均的な電流能力のトランジスタの電流値をID₁とすると、 $\Delta IDS_1 / IDS_1$ （ただし、 $\Delta IDS_1 = IDS_h - IDS_l$ ）のばらつきが発生する。この実施形態では、図15に示すように、設定された階調電流に対応する信号電圧VGS1より大きい信号電圧VGS2が駆動トランジスタ55_{2,2}, 55_{3,2}, 55_{4,2}のゲート電極に印加され、保持容量54_{2,2}, 54_{3,2}, 54_{4,2}に電荷が蓄積される。このときの電流ILのばらつきを $\Delta IDS_2 / IDS_2$ とする。

- 10 この後、保持容量54_{2,2}, 54_{3,2}, 54_{4,2}に蓄積された電荷は、駆動トランジスタ55_{2,2}, 55_{3,2}, 55_{4,2}を介して一定時間放電され、ゲート・ソース間電圧VGSは、図15中の各矢印で示された方向に減少する。ゲート・ソース間電圧VGSは、電流能力の大きいトランジスタでは早く減少し、電流能力の小さいトランジスタでは遅く減少するので、放電停止後の電流のばらつき $\Delta IDS_3 / IDS_3$ は、信号電圧の書き込み直後の電流のばらつき $\Delta IDS_2 / IDS_2$ よりも小さくなる。

- 20 駆動トランジスタ55_{2,2}, 55_{3,2}, 55_{4,2}の特性は、一般にゲート・ソース間電圧の大きい方がドレイン・ソース間の電流のばらつきが小さいので、ばらつき $\Delta IDS_2 / IDS_2$ も、ばらつき $\Delta IDS_1 / IDS_1$ より小さくなり、電流のばらつきがより低減される。その結果、時刻t₂から一定時間後の時刻t_sに放電を停止させ、非選択期間T₃に切り替わったとき、平均的な電流に対する電流のばらつき、すなわち〔（電流能力の大きいトランジスタを流れる電流－電流能力の小さいトランジスタを流れる電流）／平均的なトランジスタを流れる電流〕が画素データの書き込み後の電流ILのばらつきよりも小さくなる。

- 25 非選択期間T₃に移ると、選択トランジスタ53_{2,2}, 53_{3,2}, 53_{4,2}がオフ状態に遷移し、駆動トランジスタ55_{2,2}, 55_{3,2}, 55_{4,2}の各ゲート電極がフローティング状態になり、これらの駆動トランジスタ55_{2,2}, 55_{3,2}, 55_{4,2}の各ゲート・ソース間電圧VGSは、保持容量54_{2,2}, 54_{3,2}, 54_{4,2}によってそれぞれ保持される（電荷保持処理）。すなわち、駆動トランジスタ55_{2,2}, 55_{3,2}, 55_{4,2}の各

ソース電圧 V_S は、寄生容量 $57_{2,2}$, $57_{3,2}$, $57_{4,2}$ に電荷が充電されるにつれて上昇し、駆動トランジスタ $55_{2,2}$, $55_{3,2}$, $55_{4,2}$ のゲート電圧 V_G も保持容量 $54_{2,2}$, $54_{3,2}$, $54_{4,2}$ を介してゲート・ソース電圧 V_{GS} を一定に維持したまま同時に上昇する。

- 5 画素表示素子 $56_{2,2}$, $56_{3,2}$, $56_{4,2}$ の端子間電圧 $V_L (=V_S)$ が、駆動トランジスタ $55_{2,2}$, $55_{3,2}$, $55_{4,2}$ のゲート・ソース間電圧 V_{GS} によって決まる電流 I_L を流すのに十分な電圧に到達すると、これらの駆動トランジスタ $55_{2,2}$, $55_{3,2}$, $55_{4,2}$ のゲート電圧 V_G 及びソース電圧 V_S の上昇が停止し、一定となる。この後、駆動トランジスタ $55_{2,2}$, $55_{3,2}$, $55_{4,2}$ のゲート・ソース間電圧 V_{GS} が保持容量 $54_{2,2}$, $54_{3,2}$, $54_{4,2}$ によって保持されるため、画素表示素子 $56_{2,2}$, $56_{3,2}$, $56_{4,2}$ に一定の電流 I_L が流れ続ける。非選択期間 T_3 に画素表示素子 $56_{2,2}$, $56_{3,2}$, $56_{4,2}$ に流れる電流 I_L の大きさは、保持容量 $54_{2,2}$, $54_{3,2}$, $54_{4,2}$ に書き込まれる信号電荷と、設定された放電時間（時刻 t_2 と時刻 t_s との間隔）とに基づいて調整され、輝度階調に相当する電流 I_L が流れるように設定される。

- 15 以上のように、この第1の実施形態では、設定された階調電流に対応する信号電圧 V_{GS1} より大きい信号電圧 V_{GS2} が駆動トランジスタ $55_{2,2}$, $55_{3,2}$, $55_{4,2}$ のゲート電極に書き込まれ、保持容量 $54_{2,2}$, $54_{3,2}$, $54_{4,2}$ に蓄積された電荷は、駆動トランジスタ $55_{2,2}$, $55_{3,2}$, $55_{4,2}$ を介して一定時間放電されるので、駆動トランジスタ $55_{2,2}$, $55_{3,2}$, $55_{4,2}$ のドレイン・ソース間の電流のばらつきが小さくなる。このため、画素表示素子 $56_{2,2}$, $56_{3,2}$, $56_{4,2}$ に流れる電流のばらつきが小さくなり、画素表示素子 $56_{2,2}$, $56_{3,2}$, $56_{4,2}$ で表示される画素の輝度階調のばらつきが小さくなって表示画面の画質が向上する。

第2の実施形態

- 25 図16は、本発明の第2の実施形態に基づく画像表示装置の電氣的構成を示すブロック図であり、ここで、第1の実施形態を示す図6中の要素と共通の要素には、共通の符号が付されている。

この形態の画像表示装置では、図6中の制御回路60及び表示パネル50に代えて、異なる機能を有する制御回路60B及び異なる構成の表示パネル50Bが

設けられている。制御回路 60B は、図 6 中のリセット制御信号 RA とは異なるタイミングのリセット制御信号 RB をリセット信号線ドライバ 90 に供給する。表示パネル 50B は、図 6 中の画素 50_{i,j} に代えて、異なる構成の画素 50B_{i,j} が設けられている。他は、図 6 に示したものと同様の構成である。

- 5 図 17 は、図 16 に示した画像表示装置における画素 50B_{i,j}（例えば、 $i = 3, j = 2$ ）の電氣的構成を示す回路図であり、ここでは、第 1 の実施形態での画素を示す図 7 中の要素と共通の要素には、共通の符号が付されている。

10 画素 50B_{3,2}では、図 17 に示すように、リセットトランジスタ 58_{3,2}は、ドレイン電極がノード N1 に接続され、リセット信号 Q に基づいてノード N1 と接地線 52 との間の導通状態をオン／オフ制御する。他は、図 7 に示した画素と同様の構成になっている。また、画素 50B_{3,2}に隣接する図示しない画素 50B_{2,2}, 50B_{4,2}なども、同様の構成になっている。

15 図 18 は、図 17 に示した画像表示部 50B_{3,2}の動作を説明するためのタイムチャートである。図 18 を参照して、図 16 に示した画像表示装置の表示制御方法について説明する。

20 非選択期間 T1 では、選択トランジスタ 53_{3,2}はオフ状態であり、時刻 t1 においてリセット信号 Q がリセット信号線 R₂に印加されてリセットトランジスタ 58_{3,2}オフ状態からオン（導通）状態になる。リセットトランジスタ 58_{3,2}がオン状態であるため、駆動トランジスタ 55_{3,2}のゲート電圧 V_Gが 0V となる。このため、駆動トランジスタ 55_{3,2}のゲート・ソース間電圧 V_{GS}は、負の電圧となるため、この駆動トランジスタ 55_{3,2}がオフ状態となる。このとき、寄生容量 57_{3,2}に蓄積されている電荷は、画素表示素子 56_{3,2}を介して接地線 52 に放電される（第 1 の放電処理）。リセットトランジスタ 58_{3,2}がオン状態（導通状態）になってから十分な時間が経過すると、寄生容量 57_{3,2}に蓄積していた電荷は全
25 て放電され、駆動トランジスタ 55_{3,2}のソース電圧 V_Sが 0V となる。

次に、時刻 t2 において、選択期間 T2 が開始すると、リセットトランジスタ 58_{3,2}はオフ状態になり、選択トランジスタ 53_{3,2}がオン状態になる。このとき、信号線 X₃の電圧 V_xが 0V から V_{DATA}に遷移し、階調画素データ D が書き込まれる（画素データ書き込み処理）。この直後では、駆動トランジスタ 55_{3,2}のゲ

ート・ソース間電圧 V_{GS} は、保持容量 $54_{3,2}$ の容量値 C_H と電流制御素子の寄生容量 9 の容量値 C_L から、

$$V_{GS} = V_{DATA} \times C_L / (C_H + C_L)$$

となる。また、駆動トランジスタ $55_{3,2}$ のソース電圧 V_S は、

5
$$V_S = V_{DATA} \times C_H / (C_H + C_L)$$

となる。このとき、駆動トランジスタ $55_{3,2}$ のゲート・ソース間電圧 V_{GS} は、第1の実施形態の図9に示すように、駆動トランジスタ $55_{3,2}$ のしきい値 V_T よりも大きくなっている（すなわち、 $V_{GS} > V_T$ ）。また画素表示素子 $56_{3,2}$ の端子間電圧 V_L すなわち駆動トランジスタ $55_{3,2}$ のソース電圧 V_S は、第1の実施形態の図10に示す $V_L - I_L$ 特性において、電流 I_L が流れ始める電圧 V_{OFF} よりも小さくなっている（すなわち、 $V_S < V_{OFF}$ ）。これ以降は、第1の実施形態と同様の動作が行われ、第1の実施形態と同様の利点がある。

第3の実施形態

図19は、本発明の第3の実施形態に基づく画像表示装置の電氣的構成を示すブロック図であり、ここでは、第1の実施形態を示す図6中の要素と共通の要素には共通の符号が付されている。

図19に示した画像表示装置では、図6に示した画像表示装置中の制御回路60及び表示パネル50に代えて、異なる機能を有する制御回路60C及び異なる構成の表示パネル50Cが設けられている。また、図6中のリセット信号線ドライバ90は、削除されている。制御回路60Cは、制御回路60とは異なるタイミングで画像入力信号VDを信号線ドライバ70に供給する。表示パネル50Cでは、図6中の画素 $50_{i,j}$ に代えて、異なる構成の画素 $50C_{i,j}$ が設けられている。他は、図6に示した画像表示装置と同様の構成である。

図20は、図19に示した画像表示装置中の画素 $50C_{i,j}$ （例えば、 $i = 3$, $j = 2$ ）の電氣的構成を示す回路図であり、ここでは、第1の実施形態を示す図7中の要素と共通の要素には共通の符号が付されている。

この画素 $50C_{3,2}$ では、図20に示すように、図7に示されていたリセットトランジスタ $58_{3,2}$ 及びリセット信号線 R_2 が削除されている。他は、図7に示したものと同様の構成である。また、画素 $50C_{3,2}$ に隣接する画素 $50C_{2,2}$, $50C_{4,2}$

なども、同様の構成になっている。

図 2 1 は、図 2 0 に示した画像表示部 5 0 C_{3,2}の動作を説明するためのタイムチャートである。図 2 1 を参照して、図 1 9 に示した画像表示装置の表示制御方法について説明する。

- 5 非選択期間 T 1 では、選択トランジスタ 5 3_{3,2}はオフ状態であり、時刻 t 1 において選択期間 T 2 が開始すると、選択トランジスタ 5 3_{3,2}がオフ状態からオン状態に遷移する。このとき、信号線 X₃に入力される電圧 V_xは、接地線 5 2 と同じ 0 V であり、かつ選択トランジスタ 5 3_{3,2}がオン状態であるため、保持容量 5 4_{3,2}の電荷の放電が開始する。また、同時に寄生容量 5 7_{3,2}の電荷が画素表示素子 5 6_{3,2}を介して放電される。選択期間 T 2 が開始してから十分な時間が経過すると、駆動トランジスタ 5 5_{3,2}のゲート電圧 V_Gとソース電圧 V_Sは 0 V となる。また、駆動トランジスタ 5 5_{3,2}のゲート・ソース間電圧 V_{GS}が 0 V であるため、この駆動トランジスタ 5 5_{3,2}のドレイン・ソース間には電流は流れない。

- 次に、時刻 t 2 において、信号線 X₃の電圧 V_xが 0 V から V_{DATA}に遷移し、
15 階調画素データ D が書き込まれる（画素データ書き込み処理）。これ以降は、第 1 の実施形態と同様の動作が行われ、第 1 の実施形態と同様の利点がある。

第 4 の実施形態

- 図 2 2 は、本発明の第 4 の実施形態に基づく画像表示装置の電氣的構成を示すブロック図であり、ここでは、第 1 の実施形態を示す図 6 中の要素、及び第 3 の
20 実施形態を示す図 1 9 中の要素と共通の要素には共通の符号が付されている。

- 第 4 の実施形態の画像表示装置では、図 6 に示した画像表示装置における制御回路 6 0、表示パネル 5 0、及びリセット信号線ドライバ 9 0 に代えて、新たな機能が付加された制御回路 6 0 D と、図 1 9 に示したのと同じ表示パネル 5 0 C と、電源線電圧切替回路 1 0 0 とが設けられている。制御回路 6 0 D は、制御
25 回路 6 0 の機能に加え、電源線切替制御信号 V_Cを電源線電圧切替回路 1 0 0 に供給する機能を有している。電源線電圧切替回路 1 0 0 は、電源線 5 1 に供給される電圧を電源線切替制御信号 V_Cに基づいて電源電圧 V_{cc}又はグラウンドレベル（0 V）に切り替える。

図 2 3 は、この第 4 の実施形態で用いる画像表示部 5 0 C_{3,2}（図 2 0 参照）の

動作を説明するためのタイムチャートである。図 2 3 を参照して、この形態の画像表示装置の制御方法について説明する。

- 5 非選択期間 T_1 では、選択トランジスタ $53_{3,2}$ はオフ状態であり、時刻 t_1 において選択期間 T_2 が開始すると、選択トランジスタ $53_{3,2}$ がオフ状態からオン状態に遷移する。このとき、信号線 X_3 に入力される電圧 V_x は、駆動トランジスタ $55_{3,2}$ がオン状態になるような十分大きい電圧とする。同時に電源線 51 の電圧を $0V$ にする。駆動トランジスタ $55_{3,2}$ がオン状態になっているため、寄生容量 $57_{3,2}$ の電荷が同駆動トランジスタ $55_{3,2}$ を介して放電される。駆動トランジスタ $55_{3,2}$ のソース電圧 V_S が $0V$ となった後、信号線 X_3 に入力される電圧 V_x が $0V$ になり、かつ選択トランジスタ $53_{3,2}$ がオン状態であるため、時刻 t_2 において、保持容量 $54_{3,2}$ の電荷が放電されてゲート電圧 V_G が $0V$ になる。この後、電源線 51 の電圧が電源電圧 V_{cc} に戻る。駆動トランジスタ $55_{3,2}$ のゲート・ソース間電圧 V_{GS} が $0V$ であるため、同駆動トランジスタ $55_{3,2}$ のドレイン・ソース間には電流が流れない。
- 15 次に、時刻 t_3 において、信号線 X_3 の電圧 V_x が $0V$ から V_{DATA} に遷移し、階調画素データ D が書き込まれる（画素データ書込み処理）。これ以降は、第 1 の実施形態と同様の動作が行われ、第 1 の実施形態と同様の利点がある。

第 5 の実施形態

- 20 図 2 4 は、本発明の第 5 の実施形態に基づく画像表示装置の電氣的構成を示すブロック図であり、ここでは、第 1 の実施形態を示す図 6 中の要素と共通の要素には共通の符号が付されている。

- 第 5 の実施形態の画像表示装置では、図 6 に示した画像表示装置における表示パネル 50 及びリセット信号線ドライバ 90 に代えて、異なる構成の表示パネル $50E$ 及び異なる機能を有するリセット信号線ドライバ $90E$ が設けられている。
- 25 表示パネル $50E$ には、図 6 中の画素 $50_{1,j}$ に代えて、異なる構成の画素 $50E_{1,j}$ が設けられている。リセット信号線ドライバ $90E$ は、リセット制御信号 RA に基づいてリセット信号 Q とは逆位相のリセット信号 QE を各リセット信号線 $R_1, \dots, R_j, \dots, R_m$ に印加する。表示パネル $50E$ では、リセット信号線 $R_1, \dots, R_j, \dots, R_m$ にリセット信号 QE が印加される。

図 2 5 は、図 2 4 に示した画像表示装置における画素 5 0 $E_{i,j}$ (例えば、 $i = 3$, $j = 2$) の電氣的構成を示す回路図であり、ここでは、第 1 の実施形態の画素を示す図 7 中の要素と共通の要素には共通の符号が付されている。

画素 5 0 $E_{3,2}$ は、図 2 5 に示すように、電源線 5 1 と、接地線 5 2 と、選択トランジスタ 1 5 $3_{3,2}$ と、保持容量 5 4 $_{3,2}$ と、駆動トランジスタ 1 5 $5_{3,2}$ と、画素表示素子 5 6 $_{3,2}$ と、寄生容量 5 7 $_{3,2}$ と、リセットトランジスタ 1 5 $8_{3,2}$ とから構成されている。電源線 5 1 には、接地線 5 2 を基準として電源電圧 V_{cc} が供給される。選択トランジスタ 1 5 $3_{3,2}$ は、ドレイン電極が信号線 X_3 、ソース電極がノード $N1$ 、及びゲート電極が走査線 Y_2 に接続され、走査信号 V に基づいて信号線 X_3 とノード $N1$ との間の導通状態をオン/オフ制御する。

保持容量 5 4 $_{3,2}$ は、ノード $N1$ とノード $N2$ との間に接続され、駆動トランジスタ 1 5 $5_{3,2}$ のソース電極とゲート電極との間の電圧を保持する。駆動トランジスタ 1 5 $5_{3,2}$ は、ソース電極がノード $N2$ 、ドレイン電極が接地線 5 2、及びゲート電極がノード $N1$ に接続され、ソース電極とゲート電極との間の電圧に基づいて制御される出力電流 I_L をノード $N2$ から接地線 5 2 へ流す。画素表示素子 5 6 $_{3,2}$ は、アノードが電源線 5 1、及びカソードがノード $N2$ に接続されると共に、アノードとカソードとの間に寄生容量 5 7 $_{3,2}$ を有し、駆動トランジスタ 1 5 $5_{3,2}$ の出力電流 I_L に基づいた階調の画素を表示する。リセットトランジスタ 1 5 $8_{3,2}$ は、ソース電極が電源線 5 1、ドレイン電極がノード $N2$ 、及びゲート電極がリセット信号線 R_2 に接続され、リセット信号 QE に基づいてノード $N2$ と電源線 5 1 との間の導通状態をオン/オフ制御する。また、他の画素 5 0 $_{i,j}$ も、同様の構成になっている。

この形態の画像表示装置では、選択トランジスタ 1 5 $3_{3,2}$ 、駆動トランジスタ 1 5 $5_{3,2}$ 、リセットトランジスタ 1 5 $8_{3,2}$ が第 1 の実施形態を示す図 7 中の選択トランジスタ 5 $3_{3,2}$ 、駆動トランジスタ 5 $5_{3,2}$ 、リセットトランジスタ 5 $8_{3,2}$ の動作に対して相補的な動作を行い、第 1 の実施形態と同様の処理が行われるため、同様の利点がある。

第 6 の実施形態

図 2 6 は、本発明の第 6 の実施形態に基づく画像表示装置の電氣的構成を示す

ブロック図であり、ここでは、第5の実施形態の画像表示装置を示す図24中の要素と共通の要素には共通の符号が付されている。

第6の実施形態の画像表示装置では、図24に示した画像表示装置中の制御回路60及び表示パネル50Eに代えて、異なる機能を有する制御回路60F及び異なる構成の表示パネル50Fが設けられている。制御回路60Fは、図24中のリセット制御信号RAとは異なるタイミングのリセット制御信号RFをリセット信号線ドライバ90Eに供給する。表示パネル50Fには、図24に示す画像表示装置での画素50E_{i,j}に代えて、異なる構成の画素50F_{i,j}が設けられている。他は、図24に示すものと同様の構成である。

図27は、図26に示す画像表示装置での画素50F_{i,j}（例えば、 $i=3$ 、 $j=2$ ）の電氣的構成を示す回路図であり、ここでは、第5の実施形態での画素を示す図25中の要素と共通の要素には共通の符号が付されている。

画素50F_{3,2}では、図27に示すように、リセットトランジスタ158_{3,2}は、ドレイン電極がノードN1に接続され、リセット信号QEに基づいてノードN1と電源線51との間の導通状態をオン／オフ制御する。他は、図25と同様の構成である。また、画素50F_{3,2}に隣接する図示しない画素50F_{2,2}、50F_{4,2}なども、同様の構成になっている。

この画像表示装置では、選択トランジスタ153_{3,2}、駆動トランジスタ155_{3,2}、リセットトランジスタ158_{3,2}が第2の実施形態を示す図17中の選択トランジスタ53_{3,2}、駆動トランジスタ55_{3,2}、リセットトランジスタ58_{3,2}の動作に対して相補的な動作を行い、第2の実施形態と同様の処理が行われるため、同様の利点がある。

第7の実施形態

図28は、本発明の第8の実施形態に基づく画像表示装置の電氣的構成を示すブロック図であり、ここでは、第5の実施形態を示す図24中の要素と共通の要素には共通の符号が付されている。

第7の実施形態の画像表示装置では、図24に示した画像表示装置中の制御回路60及び表示パネル50Eに代えて、異なる機能を有する制御回路60G及び異なる構成の表示パネル50Gが設けられている。また、図24に示したリセッ

ト信号線ドライバ 90 E は、削除されている。制御回路 60 G は、制御回路 60 とは異なるタイミングで画像入力信号 V D を信号線ドライバ 70 に供給する。表示パネル 50 G には、図 24 中の画素 50 E_{i,j} に代えて、異なる構成の画素 50 G_{i,j} が設けられている。他は、図 24 に示したものと同様の構成である。

- 5 図 29 は、図 28 に示した画像表示装置における画素 50 G_{i,j}（例えば、 $i = 3, j = 2$ ）の電氣的構成を示す回路図であり、ここでは、第 5 の実施形態の画素を示す図 25 中の要素と共通の要素には共通の符号が付されている。

- 10 画素 50 G_{3,2} では、図 29 に示すように、図 25 中のリセットトランジスタ 158_{3,2} 及びリセット信号線 R₂ が削除されている。他は、図 25 に示す画素と同様の構成である。また、画素 50 G_{3,2} に隣接する画素 50 G_{2,2}、50 G_{4,2} など、同様の構成になっている。

- 15 この画像表示装置では、選択トランジスタ 153_{3,2}、駆動トランジスタ 155_{3,2} が第 3 の実施形態を示す図 20 中の選択トランジスタ 53_{3,2}、駆動トランジスタ 55_{3,2} の動作に対して相補的な動作を行い、第 3 の実施形態と同様の処理が行われるため、同様の利点がある。

第 8 の実施形態

- 20 図 30 は、本発明の第 8 の実施形態に基づく画像表示装置の電氣的構成を示すブロック図であり、ここでは、第 4 の実施形態を示す図 22 中の要素、第 5 の実施形態を示す図 24 中の要素、及び第 7 の実施形態を示す図 28 中の要素と共通の要素には共通の符号が付されている。

- 25 第 8 の実施形態の画像表示装置では、図 24 に示した画像表示装置中の制御回路 60、表示パネル 50 E、及びリセット信号線ドライバ 90 E に代えて、新たな機能が付加された制御回路 60 H と、図 28 に示したものと同一表示パネル 50 G と、図 22 に示したものと同一電源線電圧切替回路 100 が設けられている。制御回路 60 H は、制御回路 60 の機能に加え、電源線切替制御信号 V H を電源線電圧切替回路 100 に供給する機能を有している。電源線電圧切替回路 100 は、電源線 51 に供給される電圧を電源線切替制御信号 V H に基づいて電源電圧 V_{cc} 又はグラウンドレベル（0 V）に切り替える。

この画像表示装置では、選択トランジスタ 153_{3,2}、駆動トランジスタ 155

$_{3,2}$ が第4の実施形態の選択トランジスタ $5\ 3_{3,2}$ 、駆動トランジスタ $5\ 5_{3,2}$ の動作に対して相補的な動作を行い、第4の実施形態と同様の処理が行われるため、同様の利点がある。

第9の実施形態

5 図31は、本発明の第9の実施形態に基づく画像表示装置の電気的構成を示すブロック図であり、ここでは、第1の実施形態の画像処理装置を示す図6中の要素と共通の要素には共通の符号が付されている。

第9の実施形態の画像表示装置では、図6に示した画像表示装置中の制御回路60、表示パネル50、及びリセット信号線ドライバ90に代えて、新たな機能が付加された制御回路60K、異なる構成の表示パネル50K、及び制御線ドライバ110、120が設けられている。制御回路60Kは、制御回路60の機能に加え、制御信号CA、CBを制御線ドライバ110、120にそれぞれ供給する機能を有している。表示パネル50Kには、図6に示した画素 $50_{i,j}$ に代えて、異なる構成の画素 $50K_{i,j}$ が設けられ、さらに制御線 $P_1, \dots, P_j, \dots, P_m$ 及び
10 制御線 $Q_1, \dots, Q_j, \dots, Q_m$ が設けられている。制御線ドライバ110は、制御信号CAに基づいて制御線駆動信号 α を制御線 $P_1, \dots, P_j, \dots, P_m$ に印加する。また、制御線ドライバ120は、制御信号CBに基づいて制御線駆動信号 β を制御線 $Q_1, \dots, Q_j, \dots, Q_m$ に印加する。

図32は、図31に示した画像表示装置中の画素 $50K_{i,j}$ （例えば、 $i=3$ 、
20 $j=2$ ）の電気的構成を示す回路図であり、ここでは、第1の実施形態の画素を示す図7中の要素と共通の要素には共通の符号が付されている。

画素 $50K_{3,2}$ は、図32に示すように、電源線51と、接地線52と、選択トランジスタ $1\ 5\ 3_{3,2}$ と、保持容量 $5\ 4_{3,2}$ と、駆動トランジスタ $1\ 5\ 5_{3,2}$ と、画素表示素子 $5\ 6_{3,2}$ と、寄生容量 $5\ 7_{3,2}$ と、制御トランジスタ $1\ 5\ 8_{3,2}$ と、pMOS $1\ 5\ 9_{3,2}$ とから構成されている。選択トランジスタ $1\ 5\ 3_{3,2}$ は、ドレイン電極が信号線 X_3 、ソース電極がノードN1、及びゲート電極が走査線 Y_2 に接続され、走査信号Vに基づいて信号線 X_3 とノードN1との間の導通状態をオン/オフ制御する。保持容量 $5\ 4_{3,2}$ は、ノードN1と電源線51（電源電圧Vcc）との間に接続され、駆動トランジスタ $1\ 5\ 5_{3,2}$ のソース電極とゲート電極との間の電圧を保持す
25

る。

駆動トランジスタ $155_{3,2}$ は、ソース電極が電源線 51 、ドレイン電極がノード $N2$ 、及びゲート電極がノード $N1$ に接続され、ソース電極とゲート電極との間の電圧に基づいて制御される出力電流 I_L を電源線 51 からノード N へ流す。

- 5 画素表示素子 $56_{3,2}$ は、寄生容量 $57_{3,2}$ を有し、アノードがノード $N3$ 、及びカソードが接地線 52 に接続され、駆動トランジスタ $155_{3,2}$ の出力電流 I_L を $pMOS159_{3,2}$ を介して取り込んで接地線 52 へ流すことにより、同出力電流 I_L に基づいた階調の画素を表示する。制御トランジスタ $158_{3,2}$ は、ソース電極がノード $N1$ 、ドレイン電極がノード $N2$ 、及びゲート電極が制御線 P_2 に接続され、制御線駆動信号 α に基づいてノード $N1$ とノード $N2$ との間の導通状態をオン/オフ制御する。 $pMOS159_{3,2}$ は、ソース電極がノード $N2$ 、ドレイン電極がノード $N3$ 、及びゲート電極が制御線 Q_2 に接続され、制御線駆動信号 β に基づいてノード $N2$ とノード $N3$ との間の導通状態をオン/オフ制御する。また、他の画素 $50K_{i,j}$ も、同様の構成になっている。

- 15 図33及び図34は、図32に示した画像表示部 $50K_{3,2}$ の動作を説明するタイムチャートである。これらの図を参照して、この形態の画像表示装置の表示制御方法について説明する。

- 図33に示すように、保持期間 $T1$ では、選択トランジスタ $153_{3,2}$ 、駆動トランジスタ、リセットトランジスタ $158_{3,2}$ 、 $pMOS159_{3,2}$ がオフ状態になっている。時刻 $t1$ において選択期間 $T2$ が開始すると、走査信号 V が走査線 Y_2 に印加されて選択トランジスタ $153_{3,2}$ がオフ状態からオン状態になり、信号線 X_3 から階調画素データ D の信号電荷が保持容量 $54_{3,2}$ に蓄積される（画素データ書込み処理）。

- 次に、時刻 t_s において、選択トランジスタ $153_{3,2}$ がオフ状態、及び制御トランジスタ $158_{3,2}$ がオン状態になり、保持容量 $54_{3,2}$ の電荷の放電が制御トランジスタ $158_{3,2}$ 及び駆動トランジスタ $155_{3,2}$ を介して開始する。一定時間の放電後、時刻 $t2$ において、制御トランジスタ $158_{3,2}$ がオフ状態、及び $pMOS159_{3,2}$ がオン状態になる（放電処理）。駆動トランジスタ $155_{3,2}$ のゲート・ソース間電圧 V_{GS} が保持容量 $54_{3,2}$ によって保持されるため（画素データ

保持処理)、画素表示素子 $56_{3,2}$ に一定の電流 I_L が流れ続ける。これ以降は、第1の実施形態と同様に、画素表示素子 $56_{2,2}$ 、 $56_{3,2}$ 、 $56_{4,2}$ に流れる電流のばらつきが小さくなり、画素表示素子 $56_{2,2}$ 、 $56_{3,2}$ 、 $56_{4,2}$ で表示される画素の輝度階調のばらつきが小さくなって表示画面の品位が向上する。

- 5 また、図34に示すように、選択期間 T_2 において、制御トランジスタ $158_{3,2}$ がオン状態になり、駆動トランジスタ $155_{3,2}$ のドレイン電極とゲート電極とが接続された状態で信号線 X_3 から階調画素データDの信号電荷が保持容量 $54_{3,2}$ に書き込まれる(画素データ書き込み処理)。この後、時刻 t_s において、選択トランジスタ $153_{3,2}$ がオフ状態になり、保持容量 $54_{3,2}$ の電荷の放電が制御トランジスタ $158_{3,2}$ 及び駆動トランジスタ $155_{3,2}$ を介して開始する。一定時間の放電後、時刻 t_2 において、制御トランジスタ $158_{3,2}$ がオフ状態、及びpMOS $159_{3,2}$ がオン状態になる(放電処理)。駆動トランジスタ $155_{3,2}$ のゲート・ソース間電圧 V_{GS} が保持容量 $54_{3,2}$ によって保持されるため(画素データ保持処理)、画素表示素子 $56_{3,2}$ に一定の電流 I_L が流れ続ける。これ以降は、
- 10 第1の実施形態と同様に、画素表示素子 $56_{2,2}$ 、 $56_{3,2}$ 、 $56_{4,2}$ に流れる電流のばらつきが小さくなり、同画素表示素子 $56_{2,2}$ 、 $56_{3,2}$ 、 $56_{4,2}$ で表示される画素の輝度階調のばらつきが小さくなって表示画面の画質が向上する。

第10の実施形態

- 図35は、本発明の第10の実施形態に基づく画像表示装置の電氣的構成を示すブロック図であり、ここでは、第9の実施形態の画像表示装置を示す図31中の要素と共通の要素には共通の符号が付されている。
- 20

- 第10の実施形態の画像表示装置では、図31に示した画像表示装置での表示パネル 50_K に代えて、異なる構成の表示パネル 50_L が設けられている。表示パネル 50_L には、図31中の画素 $50_{K_{i,j}}$ に代えて、異なる構成の画素 $50_{L_{i,j}}$ が設けられている。
- 25

図36は、図35に示す画像表示装置での画素 $50_{L_{i,j}}$ (例えば、 $i=3$ 、 $j=2$)の電氣的構成を示す回路図であり、ここでは、第9の実施形態の画素を示す図32中の要素と共通の要素には共通の符号が付されている。

画素 $50_{L_{3,2}}$ では、図36に示すように、制御トランジスタ $158_{3,2}$ のドレイ

ン電極がノードN 2に接続され、同ノードN 2に駆動トランジスタ1 5 5_{3,2}のゲート電極が接続されている。また、制御トランジスタ1 5 8_{3,2}のソース電極がノードN 1に接続され、同ノードN 1に駆動トランジスタ1 5 5_{3,2}のドレイン電極が接続されている。制御トランジスタ1 5 8_{3,2}は、制御線駆動信号 α に基づいて
5 ノードN 1とノードN 2との間の導通状態をオン／オフ制御する。他は、図3 2に示したものと同様の構成である。

この画像表示装置では、上記の第9の実施形態の図3 4に示す処理と同様の処理が行われ、同様の利点がある。

第1 1の実施形態

10 図3 7は、本発明の第1 1の実施形態に基づく画像表示装置の電氣的構成を示すブロック図であり、ここでは、第9の実施形態の画像表示装置を示す図3 1中の要素と共通の要素には共通の符号が付されている。

第1 1の実施形態の画像表示装置では、図3 1に示した画像表示装置中の制御回路6 0 K及び表示パネル5 0 Kに代えて、異なる機能を有する制御回路6 0 M
15 及び異なる構成の表示パネル5 0 Mが設けられ、制御線ドライバ1 2 0が削除されている。制御回路6 0 Mは、制御回路6 0 Kの機能から制御信号C Bを出力する機能が削除されている。表示パネル5 0 Mでは、図3 1中の画素5 0 K_{i,j}に代えて異なる構成の画素5 0 M_{i,j}が設けられており、さらに制御線Q₁, ..., Q_j, ..., Q_mが削除されている。

20 図3 8は、図3 7に示した画像表示装置での画素5 0 M_{i,j}（例えば、 $i = 3$, $j = 2$ ）の電氣的構成を示す回路図であり、ここでは、第1 0の実施形態を示す図3 6中の要素と共通の要素には共通の符号が付されている。

画素5 0 M_{3,2}では、図3 6に示した画素5 0 L_{3,2}の構成に加えて入力駆動トランジスタ2 5 8_{3,2}が設けられ、p MOS 1 5 9_{3,2}及び制御線Q₂が削除されている。
25 また、入力駆動トランジスタ2 5 8_{3,2}は、p MOSで構成され、ソース電極が電源線5 1、ドレイン電極がノードN 1、及びゲート電極がノードN 3に接続され、ソース電極とゲート電極との間の電圧に基づいて制御される出力電流を電源線5 1からノードN 1へ流す。出力駆動トランジスタ1 5 5_{3,2}のドレイン電極はノードN 2に接続され、同ノードN 2に画素表示素子5 6_{3,2}のアノードが接続されて

いる。出力駆動トランジスタ 155_{3,2}のゲート電極は、ノード N3 に接続されている。他は、図 36 に示したものと同様の構成である。

図 39 は、図 38 に示した画像表示部 50M_{3,2}の動作を説明するためのタイムチャートである。この図を参照して、第 11 の実施形態の画像表示装置の表示制御方法について説明する。

図 39 に示すように、保持期間 T1 では、選択トランジスタ 153_{3,2}、制御トランジスタ 158_{3,2}、pMOS 159_{3,2}がオフ状態になっている。時刻 t1 において選択期間 T2 が開始すると、走査信号 V が走査線 Y₂に印加されて選択トランジスタ 153_{3,2}がオフ状態からオン状態になり、制御線駆動信号 α が制御線 P₂に印加されて制御トランジスタ 158_{3,2}がオフ状態からオン状態になり、信号線 X₃から階調画素データの信号電荷が保持容量 54_{3,2}に蓄積される（画素データ書き込み処理）。

次に、時刻 t_sにおいて、選択トランジスタ 153_{3,2}がオフ状態になり、保持容量 54_{3,2}の電荷の放電が制御トランジスタ 158_{3,2}及び入力駆動トランジスタ 258_{3,2}を介して開始する（放電処理）。一定時間の放電後、時刻 t2 において、制御トランジスタ 158_{3,2}がオフ状態になり、出力駆動トランジスタ 155_{3,2}のゲート電極がフローティングになる。出力駆動トランジスタ 155_{3,2}のゲート・ソース間電圧 V_{GS} が保持容量 54_{3,2}によって保持されるため（画素データ保持処理）、画素表示素子 56_{3,2}に一定の電流 I_Lが流れ続ける。上記放電処理において、一定時間の放電動作を行うことにより、入力駆動トランジスタ 258_{3,2}及び出力駆動トランジスタ 155_{3,2}のソース・ドレイン間の電流のばらつきが小さくなり、第 9 の実施形態と同様の利点がある。

第 12 の実施形態

図 40 は、本発明の第 12 の実施形態に基づく画像表示装置の電氣的構成を示すブロック図であり、ここでは、第 11 の実施形態の画像表示装置を示す図 37 中の要素と共通の要素には共通の符号が付されている。

第 12 の実施形態の画像表示装置では、図 37 に示した画像表示装置での表示パネル 50M に代えて、異なる構成の表示パネル 50N が設けられている。表示パネル 50N では、図 37 中の画素 50M_{1,j}に代えて、異なる構成の画素 50N

i, j が設けられている。

図41は、図40に示す画像表示装置での画素50N_{i,j}（例えば、 $i = 3, j = 2$ ）の電氣的構成を示す回路図であり、ここでは、第11の実施形態の画素を示す図38中の要素と共通の要素には共通の符号が付されている。

- 5 画素50N_{3,2}では、入力駆動トランジスタ258_{3,2}のゲート電極がノードN1に接続されている。入力駆動トランジスタ258_{3,2}は、ソース電極とゲート電極との間の電圧に基づいて制御される出力電流を電源線51からノードN1へ流す。他は、図38に示したものと同様の構成である。この画像表示装置では、第11の実施形態と同様の処理が行われ、同様の利点がある。

10 第13の実施形態

図42は、本発明の第13の実施形態に基づく電流制御素子の駆動回路の構成を示す回路図である。

- 第13の実施形態において、電流制御素子の駆動回路は、概して、電源線1と接地線2と信号線3との間に接続された、選択トランジスタ4と、保持容量5と、
15 駆動トランジスタ6と、典型的には画素表示素子である電流制御素子7と、寄生容量8とから構成されている。

- 選択トランジスタ4は、Nチャネル電界効果トランジスタ（nMOS）からなり、ゲート電極を選択線（不図示）に接続され、ドレイン電極を信号線3に接続され、ソース電極を駆動トランジスタ6のゲート電極に接続されている。保持容量5は、駆動トランジスタ6のゲート電極とソース電極の間に接続されている。
20 駆動トランジスタ6は、nMOSからなり、ゲート電極を選択トランジスタ4のソース電極と保持容量5の一端に接続され、ドレイン電極を電源線1に接続され、ソース電極を電流制御素子7のアノードに接続されている。電流制御素子7は、有機EL素子などの画素表示素子であって、駆動トランジスタ6のソース電極と
25 接地線2との間に接続され、駆動トランジスタ6の電流 I_L に応じた輝度で発光する。寄生容量8は、電流制御素子7の両端の寄生容量である。

図43は、この電流制御素子の駆動回路の動作を説明するタイミングチャートである。また、図44は、駆動トランジスタの $I_{DS} - V_{GS}$ 特性を示し、図45は、電流制御素子の $I_L - V_L$ 特性を示し、図46は、駆動トランジスタの特

性がばらついているときの $I_{DS} - V_{GS}$ 特性を示し、図 4 7 は、駆動トランジスタの特性がばらついているときの V_{GS} の過渡特性を示している。以下、図 4 2 ～図 4 6 を参照して、本実施形態の電流制御素子の駆動回路の動作を説明する。

図 4 3 に示すように、駆動回路の選択期間が開始されると、選択トランジスタ 4 が遮断状態から導通状態に切り替えられる。このとき、信号線 3 に入力される電圧 V_{DATA} は、接地線 2 と同電位の 0 V とする。この状態では、選択トランジスタ 4 が導通状態であるため、保持容量 5 の電荷は、信号線 3 を介して放電が開始される。同時に、電流制御素子 7 の寄生容量 8 の電荷が、電流制御素子 7 を経て放電される。

- 10 選択期間が開始されてから十分な時間が経過すると、駆動トランジスタ 6 のゲート電圧 V_G とソース電圧 V_S がともに 0 V となる。駆動トランジスタ 6 のゲート・ソース間電圧 V_{GS} はゼロであるため、駆動トランジスタ 6 のドレイン・ソース間には電流が流れない。

- 15 次に、信号線 3 の入力電圧が 0 V から V_A に切り替えられる。信号線 3 が 0 V から V_A に切り替えられた直後には、駆動トランジスタ 6 のゲート・ソース間電圧 V_{GS} は、保持容量 5 の容量値 C_S と電流制御素子 7 の寄生容量 8 の容量値 C_L とから、次式のようにになる。

$$V_{GS} = V_A \times C_L / (C_S + C_L) \quad \dots(2)$$

一方、駆動トランジスタ 6 のソース電圧 V_S は、次式のようにになる。

20 $V_S = V_A \times C_S / (C_S + C_L) \quad \dots(3)$

- ただし、このとき、駆動トランジスタ 6 のゲート・ソース間電圧 V_{GS} は、図 4 4 に示す駆動トランジスタの $I_{DS} - V_{GS}$ 特性において、しきい値電圧 V_T よりも大きいことが必要である。また、電流制御素子 7 の端子間電圧 V_L 、すなわち、駆動トランジスタ 6 のソース電圧 V_S は、図 4 5 に示す電流制御素子 7 の電圧－電流特性において、順方向の立ち上がり電圧 V_{OFF} よりも小さいことが必要である。すなわち、

$$V_{GS} > V_T \quad \dots(4)$$

$$V_S < V_{OFF} \quad \dots(5)$$

駆動トランジスタ 6 のゲート・ソース間電圧 V_{GS} は、しきい値電圧 V_T より

も大きいため、駆動トランジスタ 6 のドレイン・ソース間に電流が流れる。この駆動トランジスタ 6 のドレイン・ソース間電流によって、電流制御素子 7 の寄生容量 8 に電荷が充電されて、電流制御素子 7 の端子間電圧 V_L 、すなわち駆動トランジスタ 6 のソース電圧 V_S が上昇する。

- 5 同時に、駆動トランジスタ 6 のゲート電圧 V_G が一定値 V_A であるため、駆動トランジスタ 6 のゲート・ソース間電圧 V_{GS} は、減少しながらしきい値電圧 V_T に近づき、駆動トランジスタ 6 のソース電圧 V_S は、 $(V_A - V_T)$ に近づく。

- この際、駆動トランジスタ 6 は、ガラス基板上に形成された薄膜トランジスタ等であるため、図 4 6 に示すように、ドレイン・ソース間電流 I_{DS} と、ゲート・ソース間電圧 V_{GS} との関係を示す $I_{DS} - V_{GS}$ 特性は、同じドレイン・ソース間電流 I_{DS} に対して、個々のトランジスタ 6 a, 6 b 及び 6 c の特性に応じて、 V_{GS} が V_{Ta} , V_{Tb} 及び V_{Tc} で示されるように大きくばらつく。
- 10 ところで図 4 7 に示すように、駆動トランジスタ 6 a, 6 b 及び 6 c のゲート・ソース間電圧 V_{GS} は、十分な時間が経過すると、信号電圧 V_A の入力直後の値

- 15 $V_A \times C_L / (C_S + C_L)$ から、個々のトランジスタのしきい値 V_{Ta} , V_{Tb} 及び V_{Tc} となり、それまでの時間も、 T_a , T_b 及び T_c のように異なっている。そして、十分な時間が経過したとき、駆動トランジスタ 6 のドレイン・ソース間には電流が流れないようになり、駆動トランジスタ 6 のゲート・ソース間電圧 V_{GS} はしきい値電圧 V_T となる。

- 20 $V_{GS} = V_T$... (6)

一方、駆動トランジスタ 6 のソース電圧 V_S は、次式のようにになる。

$$V_S = V_A - V_T \quad \dots (7)$$

- ただし、このとき、駆動トランジスタ 6 のソース電圧 V_S は、図 4 5 に示された電流制御素子 7 の $I_L - V_L$ 特性において、電流制御素子 7 の順方向立ち上がり電圧 V_{OFF} よりも小さくなるように、容量値 C_S , C_L を選定することが必要である。
- 25

$$V_S < V_{OFF} \quad \dots (8)$$

次に、信号線 3 に入力する電圧 V_{DATA} が V_A から V_B に切り替えられる。ここで、 V_B は V_A と同じ値（非発光状態）、又は V_A より大きい値（発光状

態)である。 V_A から V_B に切り替えたときの電圧差($V_B - V_A$)は、駆動トランジスタ6のゲート・ソース間保持容量5の容量値 C_S と、電流制御素子7の寄生容量8の容量値 C_L とに容量分割して印加される。従って、このときの駆動トランジスタ6のゲート・ソース間電圧 V_{GS} と、駆動トランジスタ6のソース電圧 V_S とは、それぞれ次式のようになる。

$$V_{GS} = V_T + (1 - C_S / C_L) \cdot (V_B - V_A) \quad \dots(9)$$

$$V_S = V_A - V_T + (V_B - V_A) C_S / C_L \quad \dots(10)$$

上式からわかるように、($V_{GS} - V_T$)が($V_B - V_A$)で決まるので、駆動トランジスタ6のしきい値にばらつきがあっても、このばらつきが補正されるので、 V_B と V_A を適正な値に設定することによって、電流制御素子7に流れる電流値が制御される。

次に、選択トランジスタ4を導通状態から遮断状態に切り替えることによって、非選択期間に入る。非選択期間に入ると、駆動トランジスタ6のゲート・ソース間電圧 V_{GS} は、保持容量5によって保持されるようになる。

駆動トランジスタ6のソース電圧 V_S は、駆動トランジスタ6を介して電流制御素子7の寄生容量8に電荷が充電されるのに応じて上昇し、駆動トランジスタ6のゲート電圧 V_G も、保持容量5を介してゲート・ソース間電圧 V_{GS} を一定に維持したまま、同時に上昇する。電流制御素子7は、駆動トランジスタ6のソース電圧 V_S が、電流制御素子7の順方向の立ち上がり電圧 V_{OFF} を超えたとき発光を開始し、以後、非選択期間が終了するまで、発光し続ける。

電流制御素子7の端子間電圧 V_L が、駆動トランジスタ6のゲート・ソース間電圧 V_{GS} によって定まる電流 I_L を流すのに十分な電圧に到達すると、駆動トランジスタ6のゲート電圧 V_G とソース電圧 V_S の上昇は停止して一定となる。

その後は、駆動トランジスタ6のゲート・ソース間電圧 V_{GS} が保持容量5によって保持されるため、電流制御素子7に一定電流 I_L が流れ続ける。

このように、本実施形態の電流制御素子の駆動回路では、選択トランジスタ4と駆動トランジスタ6との2個のトランジスタと、保持容量5とからなる最小限の素子構成で、駆動トランジスタ6のしきい値を補正して、その変化の影響を受けないようにすることができる。

本実施形態によれば、図 4 に示した従来の電流制御素子の駆動回路と比較して、画素回路を構成する素子数が $1/2$ となるので、画素の開口率を大きくできるとともに、製造プロセスが容易になる。また、一般に、電流制御素子 7 の寄生容量 8 の容量値 C_L は、保持容量 5 の容量値 C_S より大きいので、より小さな書き込み電圧で、駆動回路の書き込みを行うことができ、消費電力の点からも有利である。

図 4 2 に示された第 1 3 の実施形態の駆動回路では、制御方法を変えることによって、異なる動作を行わせることができる。以下においては、これらの場合の実施形態について説明する。

10 第 1 4 の実施形態

図 4 8 は、本発明の第 1 4 の実施形態に基づく電流制御素子の駆動回路の動作を説明するタイミングチャートである。この実施形態で用いる電流制御素子の駆動回路の構成は、図 4 2 に示したものと同様であるが、制御方法が異なっているため、その動作も異なっている。以下、図 4 8 を参照して、第 1 4 の実施形態での電流制御素子の駆動回路の動作を説明する。

駆動回路の選択期間が開始されると、選択トランジスタ 4 が遮断状態から導通状態に切り替えられる。このとき、信号線 3 に入力される電圧は、駆動トランジスタ 6 がオンするのに十分な大きさの電圧とする。また、これと同時に、電源線 1 の電位を 0 V とする。

20 駆動トランジスタ 6 がオンしているため、電流制御素子 7 の寄生容量 8 の電荷が、駆動トランジスタ 6 を介して放電される。駆動トランジスタ 6 のソース電圧 V_S がゼロになってから、信号線 3 の電圧を接地電位 0 V にする。選択トランジスタ 4 が導通状態になっているため、保持容量 5 の電荷が放電されて、駆動トランジスタ 6 のゲート電圧 V_G が 0 V になる。

25 このあと、電源線 1 の電圧をもとの電源線電圧レベルに戻す。駆動トランジスタ 6 のゲート・ソース間電圧 V_{GS} はゼロであるため、駆動トランジスタ 6 のドレイン・ソース間に電流は流れない。

次に、信号線 3 の入力電圧を 0 V から V_A に切り替える。以降の動作は、第 1 3 の実施形態の場合と同様に行われる。

このように、第 1 4 の実施形態の電流制御素子の駆動回路では、第 1 3 の実施形態の場合と同様に、選択トランジスタ 4 と駆動トランジスタ 6 との 2 個のトランジスタと、保持容量 5 とからなる最小限の素子構成で、駆動トランジスタ 6 のしきい値を補正して、その変化の影響を受けないようにすることができる。5
に、選択期間の初期に駆動トランジスタをオンにし、電源線 1 の電位を 0 V にするので、電流制御素子 7 の寄生容量 8 の電荷を駆動トランジスタ 6 を経て電源線 1 に放電することができ、従って、駆動トランジスタ 6 のソース電圧の降下が速いので、選択期間を短縮することが可能になる。

第 1 5 の実施形態

10 図 4 9 は、本発明の第 1 5 の実施形態に基づく電流制御素子の駆動回路の構成を示す回路図であり、図 5 0 は、この回路の動作を説明するタイミングチャートである。

図 4 9 に示す電流制御素子の駆動回路は、概して、電源線 1 と接地線 2 と信号線 3 との間に接続された、選択トランジスタ 4 と、保持容量 5 と、駆動トランジスタ 6 と、画素表示素子などの電流制御素子 7 と、寄生容量 8 と、スイッチングトランジスタ 9 とから構成されている。そしてこの回路においては、電源線 1, 15 接地線 2, 信号線 3, 選択トランジスタ 4, 保持容量 5, 駆動トランジスタ 6, 電流制御素子 7 及び寄生容量 8 の構成は、図 4 2 に示された第 1 3 の実施形態の場合と同様であるが、これらに加えて、図 4 9 に示すようにスイッチングトランジスタ 9 を有する点が、第 1 3 の実施形態と異なっている。スイッチングトランジスタ 9 は、nMOS からなり、ゲート電極を選択線に接続され、ドレイン電極を駆動トランジスタ 6 のソース電極及び保持容量 5 の一端に接続され、ソース電極を接地線 2 に接続されている。20

以下、図 4 9 及び図 5 0 を参照して、この実施形態の電流制御素子の駆動回路25 の動作を説明する。

駆動回路の選択期間が開始されると、選択線からの制御によって、選択トランジスタ 4 とスイッチングトランジスタ 9 が、遮断状態から導通状態に切り替えられる。このとき、信号線 3 に入力される電圧は、接地線 2 と同じ 0 V とする。選択トランジスタ 4 とスイッチングトランジスタ 9 が導通状態になったことによ

て、保持容量 5 の電荷と、電流制御素子 7 の寄生容量 8 の電荷とが放電されるので、駆動トランジスタ 6 のゲート電圧 V_G とソース電圧 V_S が 0 V となる。このとき、駆動トランジスタ 6 のゲート・ソース間電圧 V_{GS} は 0 V なので、駆動トランジスタ 6 のドレイン・ソース間には電流が流れない。

- 5 次に、選択線からの制御によって、スイッチングトランジスタ 9 が遮断状態とされるとともに、信号線 3 の入力電圧が、0 V から V_A に切り替えられる。

これ以降の動作は、第 13 の実施形態の場合と同様である。

- 10 このように、第 15 の実施形態の電流制御素子の駆動回路によれば、第 13 の実施形態の回路の場合と同様に駆動トランジスタ 6 のしきい値を補正して、その変化の影響を受けないようにすることができる。

- この際、第 13 の実施形態の場合と比較して、スイッチングトランジスタ 9 が余分に必要となるが、スイッチングトランジスタ 9 による保持容量 5 及び電流制御素子 7 の寄生容量 8 のリセットを、選択トランジスタ 4 による保持容量 5 の書き込みと独立に行うことができるので、リセットの時期を選択することによって、
15 保持容量 5 及び寄生容量 8 のリセットをより確実に行うことができるようになる。

第 16 の実施形態

図 5 1 は、本発明の第 16 の実施形態に基づく電流制御素子の駆動回路の構成を示す回路図であり、図 5 2 はこの電流制御素子の駆動回路の動作を説明するタイミングチャートである。

- 20 第 16 の実施形態の電流制御素子の駆動回路は、概して、電源線 1 と接地線 2 と信号線 3 との間に接続された、選択トランジスタ 4 と、保持容量 5 と、駆動トランジスタ 6 と、電流制御素子 7 と、寄生容量 8 と、スイッチングトランジスタ 33 とから構成されている。この電流制御素子の駆動回路においては、電源線 1、接地線 2、信号線 3、選択トランジスタ 4、保持容量 5、駆動トランジスタ 6、
25 電流制御素子 7 及び寄生容量 8 の構成は、図 4 2 に示された第 13 の実施形態の回路の場合と同様であるが、これらに加えて、図 5 1 に示すスイッチングトランジスタ 33 を有する点が、第 13 の実施形態の場合と異なっている。スイッチングトランジスタ 33 は、nMOS からなり、ゲート電極を選択線に接続され、ドレイン電極を駆動トランジスタ 6 のゲート電極及び保持容量 5 の一端に接続され、

ソース電極を接地線 2 に接続されている。

以下、図 5 1 及び図 5 2 を参照して、第 1 6 の実施形態の電流制御素子の駆動回路の動作を説明する。

駆動回路の選択期間が開始される前の一定期間、選択線からの制御によって、
5 スイッチングトランジスタ 3 3 を導通状態にする。スイッチングトランジスタ 3 3 が導通状態なので、駆動トランジスタ 6 のゲート電圧 V_G はゼロとなり、これによって、駆動トランジスタ 6 のゲート・ソース間電圧 V_{GS} は負の電圧となるため、駆動トランジスタ 6 は遮断状態となる。このとき、電流制御素子 7 の寄生容量 8 に蓄積されている電荷は、電流制御素子 7 を介して接地線 2 に放電される。

10 スイッチングトランジスタ 3 3 が導通状態になってから、充分長い時間が経過すると、電流制御素子 7 の寄生容量 8 に蓄積されていた電荷はすべて放電されて、駆動トランジスタ 6 のソース電圧 V_S は 0 V となる。この期間中、選択トランジスタ 4 は、選択線からの制御によって、遮断状態とされている。

次に、駆動回路の選択期間が開始されると、選択線からの制御によって、ス
15 witchングトランジスタ 3 3 が、導通状態から遮断状態に切り替えられる。次に、選択トランジスタ 4 が、選択線からの制御によって、遮断状態から導通状態に切り替えられる。このとき、信号線 3 の入力電圧 V_{DATA} として、 V_A が入力されている。

これ以降の動作は、第 1 3 の実施形態の場合と同様である。

20 このように、本実施形態の電流制御素子の駆動回路によれば、第 1 3 の実施形態の場合と同様に駆動トランジスタ 6 のしきい値を補正して、その変化の影響を受けないようにすることができる。この際、第 1 の実施形態の場合と比較して、この実施形態では、スイッチングトランジスタ 3 3 が余分に必要となるが、ス
25 witchングトランジスタ 3 3 による保持容量 5 及び電流制御素子 7 の寄生容量 8 のリセットを、選択トランジスタ 4 による保持容量 5 の書き込みと独立に行うことができるので、リセットの時期を選択することによって、保持容量 5 及び寄生容量 8 のリセットをより確実に行うことができるようになる。

以上の第 1 3 乃至第 1 6 の実施形態においては、電流制御素子の駆動回路をすべて n MOS によって構成したが、駆動回路を P チャネル電界効果トランジスタ

(p M O S) によって構成することも可能である。以下においては、p M O S を使用した場合の例について説明する。

第 1 7 の実施形態

5 図 5 3 は、本発明の第 1 7 の実施形態に基づく電流制御素子の駆動回路の構成を示す回路図である。

本実施形態の電流制御素子の駆動回路は、概して、電源線 1 と接地線 2 と信号線 3 との間に接続された、選択トランジスタ 4 A と、保持容量 5 A と、駆動トランジスタ 6 A と、電流制御素子 7 A と、寄生容量 8 A とから構成されている。選択トランジスタ 4 A は、p M O S からなり、ゲート電極を選択線（不図示）に接続され、ソース電極を信号線 3 に接続され、ドレイン電極を駆動トランジスタ 6 A のゲート電極に接続されている。保持容量 5 A は、駆動トランジスタ 6 A のゲート電極とソース電極の間に接続されている。駆動トランジスタ 6 A は、p M O S からなり、ゲート電極を選択トランジスタ 4 のドレイン電極と保持容量 5 A の一端に接続され、ソース電極を電流制御素子 7 A のカソードに接続され、ドレイン電極を接地線 2 に接続されている。電流制御素子 7 A は、有機 E L 素子などの画素表示素子であって、電源線 1 と、駆動トランジスタ 6 A のソース電極の間に接続され、駆動トランジスタ 6 A の電流 I L に応じた輝度で発光する。寄生容量 8 A は、電流制御素子 7 A の両端の寄生容量である。

本実施形態の電流制御素子の駆動回路は、図 4 2 に示された第 1 3 の実施形態の回路の場合の n M O S からなる選択トランジスタ 4 及び駆動トランジスタ 6 を、p M O S からなる選択トランジスタ 4 A 及び駆動トランジスタ 6 A に置き替えたものである。したがって、図 4 2 に示された回路と比べて、各トランジスタや電流制御素子に印加される電圧の関係が逆になるので、電流の向きが逆になるが、その動作は、図 4 2 に示された回路の場合と同様であって、図 4 3 に示されたタイミングチャートを適用することができるので、以下においては、詳細な説明を省略する。

25 このように、本実施形態の電流制御素子の駆動回路では、選択トランジスタ 4 A と駆動トランジスタ 6 A との 2 個のトランジスタと、保持容量 5 A とからなる最小限の素子構成で、駆動トランジスタ 6 A のしきい値を補正して、その変化の

影響を受けないようにすることができる。

第 17 の実施形態によれば、第 13 の実施形態の場合と同様に、従来の電流制御素子の駆動回路と比較して、画素回路を構成する素子数を低減して、画素の開口率を大きくできるとともに、製造プロセスが容易になり、さらに、消費電力が少なくなるという利点がある。

第 18 の実施形態

第 18 の実施形態に基づく電流制御素子の駆動回路の構成は、図 53 に示された第 17 の実施形態の場合と同様であるが、制御方法が異なっているため、その動作も異なっている。すなわち、第 18 の実施形態の電流制御素子の駆動回路は、第 4 の実施形態の回路の場合における nMOS からなる選択トランジスタ 4 及び駆動トランジスタ 6 を、pMOS からなる選択トランジスタ 4A 及び駆動トランジスタ 6A によって置き替えたものである、したがって、第 14 の実施形態の場合と比べて、各トランジスタや電流制御素子に印加される電圧の関係が逆になるので、電流の向きが逆になるが、その動作は、第 14 の実施形態の場合と同様であり、図 48 に示されたタイミングチャートを適用することができるので、以下においては、詳細な説明を省略する。

本実施形態の電流制御素子の駆動回路では、第 17 の実施形態の場合と同様に、選択トランジスタ 4A と駆動トランジスタ 6A との 2 個のトランジスタと、保持容量 5A とからなる最小限の素子構成で、駆動トランジスタ 6A のしきい値を補正して、その変化の影響を受けないようにすることができるとともに、駆動トランジスタ 6A のソース電圧の降下が速いので、選択期間を短縮することができる。

第 19 の実施形態

図 54 は、本発明の第 19 の実施形態に基づく電流制御素子の駆動回路の構成を示す回路図である。

本実施形態の電流制御素子の駆動回路は、概して、電源線 1 と接地線 2 と信号線 3 との間に接続された、選択トランジスタ 4A と、保持容量 5A と、駆動トランジスタ 6A と、電流制御素子 7A と、寄生容量 8A と、スイッチングトランジスタ 9A とから概略構成されている。この電流制御素子の駆動回路においては、電源線 1、接地線 2、信号線 3、選択トランジスタ 4A、保持容量 5A、駆動ト

ランジスタ 6 A, 電流制御素子 7 A 及び寄生容量 8 A の構成は、図 5 3 に示された第 1 7 の実施形態の場合と同様であるが、これらに加えて図 5 4 に示すスイッチングトランジスタ 9 A を有する点が、第 1 7 の実施形態の場合と異なっている。

5 スwitchングトランジスタ 9 A は、p MOS からなり、ゲート電極を選択線に接続され、ソース電極を電源線 1 に接続され、ドレイン電極を駆動トランジスタ 6 A のソース電極及び保持容量 5 A の一端に接続されている。

第 1 9 の実施形態の電流制御素子の駆動回路は、図 4 9 に示された第 1 5 の実施形態の場合の n MOS からなる選択トランジスタ 4, 駆動トランジスタ 6 及び
10 スwitchングトランジスタ 9 を、p MOS からなる選択トランジスタ 4 A, 駆動トランジスタ 6 A 及びスswitchングトランジスタ 9 A によって置き替えたものである。したがって、図 4 9 に示された第 1 5 の実施形態の場合と比べて、各トランジスタや電流制御素子に印加される電圧の関係が逆になり、電流の向きが逆になるが、その動作は第 1 5 の実施形態の場合と同様であって、図 5 0 に示されたタイミングチャートを適用することができるので、以下においては、詳細な説明
15 を省略する。

このように、本実施形態の電流制御素子の駆動回路によれば、第 1 7 の実施形態の場合と同様に駆動トランジスタ 6 A のしきい値を補整して、その変化の影響を受けないようにすることができる。

この際、第 1 7 の実施形態の場合と比較して、スswitchングトランジスタ 9 A
20 が余分に必要となるが、スswitchングトランジスタ 9 A による保持容量 5 A 及び電流制御素子 7 の寄生容量 8 のリセットを、選択トランジスタ 4 A による保持容量 5 A の書き込みと独立に行うことができるので、リセットの時期を選択することによって、保持容量 5 A 及び寄生容量 8 A のリセットをより確実に行うことができるようになる。

25 第 2 0 の実施形態

図 5 5 は、本発明の第 2 0 の実施形態に基づく電流制御素子の駆動回路の構成を示す回路図である。

本実施形態の電流制御素子の駆動回路は、概して、電源線 1 と接地線 2 と信号線 3 との間に接続された、選択トランジスタ 4 A と、保持容量 5 A と、駆動トラ

ンジスタ 6 A と、電流制御素子 7 A と、寄生容量 8 A と、スイッチングトランジスタ 3 3 A とから構成されている。この電流制御素子の駆動回路においては、電源線 1，接地線 2，信号線 3，選択トランジスタ 4 A，保持容量 5 A，駆動トランジスタ 6 A，電流制御素子 7 A 及び寄生容量 8 A の構成は、図 5 3 に示された第 1 7 の実施形態の場合と同様であるが、これらに加えて、図 5 5 に示す回路におけるものと同じスイッチングトランジスタ 3 3 A を有する点が、第 1 7 の実施形態の場合と異なっている。スイッチングトランジスタ 3 3 A は、p M O S P からなり、ゲート電極を選択線に接続され、ソース電極を電源線 1 に接続され、ドレイン電極を駆動トランジスタ 6 A のゲート電極及び保持容量 5 A の一端に接続されている。

第 2 0 の実施形態の電流制御素子の駆動回路は、図 5 1 に示された第 1 6 の実施形態の回路の場合の n M O S からなる選択トランジスタ 4，駆動トランジスタ 6 及びスイッチングトランジスタ 1 0 を、p M O S からなる選択トランジスタ 4 A，駆動トランジスタ 6 A 及びスイッチングトランジスタ 1 0 A によって置き替えたものである。したがって、図 5 1 に示された第 1 6 の実施形態の場合と比べて、各トランジスタや電流制御素子に印加される電圧の関係が逆になるので、電流の向きが逆になるが、その動作は、第 1 6 の実施形態の場合と同様であって、図 5 2 に示されたタイミングチャートを適用することができるので、以下においては、詳細な説明を省略する。

このように、本実施形態の電流制御素子の駆動回路によれば、第 1 7 の実施形態の場合と同様に駆動トランジスタ 6 A のしきい値を補正して、その変化の影響を受けないようにすることができる。この際、第 1 7 の実施形態の場合と比較して、スイッチングトランジスタ 3 3 A が余分に必要となるが、スイッチングトランジスタ 3 3 A による保持容量 5 A 及び電流制御素子 7 の寄生容量 8 のリセットを、選択トランジスタ 4 A による保持容量 5 A の書き込みと独立に行うことができるので、リセットの時期を選択することによって、保持容量 5 A 及び寄生容量 8 A のリセットをより確実に行うことができるようになる。

以上、この発明の第 1 乃至第 2 0 の実施形態を図面により詳述してきたが、具体的な構成はこれらの実施形態に限られるものではない。

例えば、図 7 中の選択トランジスタ 5 3_{3,2}及びリセットトランジスタ 5 8_{3,2}は、pMOS でも良い。ただし、この場合、ゲート電極に入力する制御信号は、nMOS の制御信号に対して逆位相とする必要がある。同様に、図 17 中の選択トランジスタ 5 3_{3,2}及びリセットトランジスタ 5 8_{3,2}、及び図 20 中の選択トランジスタ 5 3_{3,2}は、pMOS でも良い。また、図 25 中の選択トランジスタ 1 5 3_{3,2}及びリセットトランジスタ 1 5 8_{3,2}は、nMOS でも良い。同様に、図 27 中の選択トランジスタ 1 5 3_{3,2}及びリセットトランジスタ 1 5 8_{3,2}、及び図 29 中の選択トランジスタ 1 5 3_{3,2}は、nMOS でも良い。

第 9 の実施形態を示す図 32 中の pMOS 1 5 9_{3,2}、及び第 10 の実施形態を示す図 36 中の pMOS 1 5 9_{3,2}は、これらを省略してもそれらの実施形態とほぼ同様の作用、効果が得られる。また、走査信号 V を走査線 Y₁, ..., Y_j, ..., Y_m に印加する順序は、線順次に限らず、予め設定された任意の順序で良い。また、図 7、図 17、及び図 20 中の駆動トランジスタ 5 5_{3,2}、図 25、図 27、図 29 中の駆動トランジスタ 1 5 5_{3,2}のソース電極とノード N2 との間、又はドレイン電極と電源線 51 との間にフィードバック抵抗を挿入することにより、電流のばらつきを低減することもできる。同様に、図 32、図 36、図 38、及び図 41 中の駆動トランジスタ 1 5 5_{3,2}のソース電極と電源線 51 との間にフィードバック抵抗を挿入することにより、電流のばらつきをさらに低減することもできる。これらの実施形態における表示パネルは、有機 EL 素子の他、例えば発光ダイオード (LED) アレイやフィールド・エミッション・ディスプレイ (FED) など、電流駆動されるものであれば、任意のもので良い。

また、第 15 の実施形態、第 16 の実施形態、第 19 の実施形態及び第 20 の実施形態において、スイッチングトランジスタによる保持容量 5 と寄生容量 8 の放電は、非選択期間でもよく、又は選択期間の初期でもよい。非選択期間の場合は、その終期に限らず、任意のタイミングで行うことができる。選択期間の初期の場合は、選択トランジスタをオフにしておくことが必要である。

各実施形態において、駆動トランジスタが nMOS の場合に、その他の選択トランジスタ及びスイッチングトランジスタとしては、nMOS に限らず、nMOS と pMOS とを任意に混用することが可能である。同様に、駆動トランジスタ

が p M O S の場合に、その他の選択トランジスタ及びスイッチングトランジスタとしては、p M O S に限らず、n M O S と p M O S とを任意に混用することが可能である。

さらに、第 1 3 乃至第 2 0 の実施形態で示した電流制御素子の駆動回路は、第 5 1 乃至第 1 2 の実施形態で示したように、多数の電流制御素子すなわち画素表示素子を二次元状に、行方向と列方向とにマトリクス状に配列した画像表示装置における、画素表示素子の駆動回路にも適用可能であって、この場合にも前述の各実施形態における効果と同様の効果を得られることは明らかである。

また、第 1 5 の実施形態および第 1 6 の実施形態では、スイッチングトランジスタ 9 のソース電極が、接地線 2 に接続されているが、接地線 2 とは異なる電圧の他の電源線に接続し、リセット時の駆動トランジスタ 6 のソース電圧 V_S を 0 V ではない電圧に設定することで、回路設計の許容度を広げることできる。第 10 1 9 の実施形態および第 2 0 の実施形態についても同様な変更が可能である。

請求の範囲

1. 第1の電源線と第2の電源線との間に直列に接続された駆動トランジスタ及び画素表示素子と、前記駆動トランジスタのゲート電極に接続された保持容量と、信号線と前記駆動トランジスタのゲート電極との間に接続された選択トランジスタとを有する画素と、

前記選択トランジスタをオン状態にすることにより前記信号線から前記保持容量へ階調画素データを書き込み、前記保持容量に書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電し、この後、前記駆動トランジスタのゲート電極をフローティングにすることにより前記保持容量に蓄積された前記階調画素データの電荷を保持する制御手段と、

を有する画像表示装置。

2. 該当する階調画素データが印加される複数の信号線と、走査信号が印加される複数の走査線とを有し、前記各信号線と前記各走査線との交差箇所に前記画素がそれぞれ設けられている表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

をさらに備え、

前記選択トランジスタは、第1のドレイン電極、第1のソース電極、及び第1のゲート電極を有し、前記駆動トランジスタは、第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有し、前記保持容量は前記第2のゲート電極と前記第2のソース電極との間の電圧を保持し、前記画素表示素子は第1の電極及び第2の電極を有し、

前記第1のドレイン電極／第1のソース電極が前記信号線に接続され、前記第1のソース電極／第1のドレイン電極が前記第2のゲート電極に接続され、前記第1のゲート電極が前記走査線に接続され、前記選択トランジスタは、前記走査信号に基づいて前記信号線と前記第2のゲート電極との間の導通状態をオン／オフ制御し、

前記第2のドレイン電極に第1の電源線が印加され、前記第2のソース電極が

前記第 1 の電極に接続され、前記駆動トランジスタは前記保持容量が保持する電圧に基づいて制御される出力電流を前記第 2 のソース電極から前記第 1 の電極へ流し、

5 前記第 2 の電極に第 2 の電源線が接続され、前記画素表示素子は、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する、請求項 1 に記載の画像表示装置。

3. 設定された順序で走査信号が前記複数の走査線に印加される、請求項 2 に記載の画像表示装置。

4. リセット信号が印加される複数のリセット信号線と、
10 前記リセット信号を前記各リセット信号線に印加するリセット信号線ドライバとをさらに有し、

各画素に、第 3 のドレイン電極、第 3 のソース電極、及び第 3 のゲート電極を有するリセットトランジスタが設けられ、前記第 1 の電極と前記第 2 の電極との間に寄生容量が形成され、

15 前記第 3 のドレイン電極／第 3 のソース電極が前記第 2 のソース電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極に前記第 2 の電源線に接続され、前記第 3 のゲート電極が前記リセット信号線に接続され、前記リセットトランジスタは前記リセット信号に基づいて前記第 2 のソース電極と前記第 2 の電源線との間の導通状態をオン／オフ制御し、

20 前記制御手段は、前記リセットトランジスタをオン状態にすることにより、前記保持容量及び寄生容量を放電させ、この後、前記選択トランジスタをオン状態にする、請求項 2 に記載の画像表示装置。

5. リセット信号が印加される複数のリセット信号線と、
前記リセット信号を前記各リセット信号線に印加するリセット信号線ドライバ
25 とをさらに有し、

各画素に、第 3 のドレイン電極、第 3 のソース電極、及び第 3 のゲート電極を有するリセットトランジスタが設けられ、前記第 1 の電極と前記第 2 の電極との間に寄生容量が形成され、

前記第 3 のドレイン電極／第 3 のソース電極が前記第 2 のソース電極に接続さ

れ、前記第 3 のソース電極／第 3 のドレイン電極に前記第 1 の電源線に接続され、前記第 3 のゲート電極が前記リセット信号線に接続され、前記リセットトランジスタは前記リセット信号に基づいて前記第 2 のソース電極と前記第 1 の電源線との間の導通状態をオン／オフ制御し、

- 5 前記制御手段は、前記リセットトランジスタをオン状態にすることにより、前記保持容量及び寄生容量を放電させ、この後、前記選択トランジスタをオン状態にする、請求項 2 に記載の画像表示装置。

6. 前記画素表示素子は前記第 1 の電極と前記第 2 の電極との間に寄生容量を有し、

- 10 前記制御手段は、前記選択トランジスタをオン状態にすると共に前記信号線からリセット信号電圧を入力することにより、前記保持容量及び寄生容量を放電させ、この後、前記信号線から前記保持容量へ前記階調画素データを書き込む、請求項 2 に記載の画像表示装置。

- 15 7. 前記第 1 の電源線及び前記第 2 の電源線にそれぞれ第 1 の電源電圧及び第 2 の電源電圧を前記表示パネルへ供給する電源供給回路をさらに有し、

前記画素表示素子は前記第 1 の電極と前記第 2 の電極との間に寄生容量を有し、

- 前記制御手段は、前記第 1 の電源電圧をリセット信号電圧とすることにより、前記保持容量及び前記寄生容量を放電させ、この後、前記選択トランジスタをオン状態にすることにより、前記信号線から前記保持容量へ前記階調画素データを書き込む、請求項 2 に記載の画像表示装置。

8. 該当する階調画素データが印加される複数の信号線と、制御線駆動信号が印加される複数の制御線と、走査信号が印加される複数の走査線とを有し、前記各信号線と前記各走査線との交差箇所に前記画素がそれぞれ設けられている表示パネルと、

- 25 画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

前記制御線駆動信号を前記各制御線に印加する制御線ドライバと、

をさらに備え、

各画素は、第3のドレイン電極、第3のソース電極、及び第3のゲート電極を有する制御トランジスタをさらに備え、

前記選択トランジスタは、第1のドレイン電極、第1のソース電極、及び第1のゲート電極を有し、前記駆動トランジスタは、第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有し、前記保持容量は前記第2のゲート電極と前記第2のソース電極との間の電圧を保持し、各画素表示素子は、第1の電極及び第2の電極を有するとともに前記第1の電極と前記第2の電極との間に寄生容量を有し、

前記第1のドレイン電極／第1のソース電極が前記信号線に接続され、前記第1のソース電極／第1のドレイン電極が前記第2のゲート電極に接続され、前記第1のゲート電極が前記走査線に接続され、前記選択トランジスタは前記走査信号に基づいて前記信号線と前記第2のゲート電極との間の導通状態をオン／オフ制御し、

前記第2のソース電極に第1の電源線が接続され、前記駆動トランジスタは前記保持容量が保持する電圧に基づいて制御される出力電流を前記第2のドレイン電極から前記第1の電極へ流し、

前記第3のドレイン電極／第3のソース電極が前記第2のゲート電極に接続され、前記第3のソース電極／第3のドレイン電極が前記第2のドレイン電極に接続され、前記第3のゲート電極が前記制御線に接続され、前記制御トランジスタは前記制御線駆動信号に基づいて前記第2のゲート電極と前記第2のドレイン電極との間の導通状態をオン／オフ制御し、

前記第2の電極に前記第2の電源線が印加され、前記画素表示素子は、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示し、

前記制御手段は、前記選択トランジスタをオン状態としかつ前記制御トランジスタをオフ状態とすることにより、前記信号線から前記保持容量へ前記階調画素データを書き込み、前記選択トランジスタをオフ状態としかつ前記制御トランジスタをオン状態とすることにより、前記保持容量に書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電し、この後、前記制御トランジスタをオフ状態とすることにより、前記第2のゲート電極をフローティ

ングにして前記保持容量に蓄積された前記階調画素データの電荷を保持する、請求項 1 に記載の画像表示装置。

9. 該当する階調画素データが印加される複数の信号線と、制御線駆動信号が印加される複数の制御線と、走査信号が印加される複数の走査線とを有し、
- 5 前記各信号線と前記各走査線との交差箇所に前記画素がそれぞれ設けられている表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

- 前記走査信号を前記各走査線に印加する走査線ドライバと、
- 10 前記制御線駆動信号を前記各制御線に印加する制御線ドライバと、
- をさらに備え、

各画素は、第 3 のドレイン電極、第 3 のソース電極、及び第 3 のゲート電極を有する制御トランジスタをさらに備え、

- 前記選択トランジスタは、第 1 のドレイン電極、第 1 のソース電極、及び第 1
- 15 のゲート電極を有し、前記駆動トランジスタは、第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有し、前記保持容量は前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持し、各画素表示素子は、第 1 の電極及び第 2 の電極を有するとともに前記第 1 の電極と前記第 2 の電極との間に寄生容量を有し、

- 20 前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記第 2 のゲート電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記選択トランジスタは前記走査信号に基づいて前記信号線と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、

- 25 前記第 2 のソース電極に第 1 の電源線が接続され、前記駆動トランジスタは前記保持容量が保持する電圧に基づいて制御される出力電流を前記第 2 のドレイン電極から前記第 1 の電極へ流し、

前記第 3 のドレイン電極／第 3 のソース電極が前記第 2 のゲート電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極が前記第 2 のドレイン電極に接

続され、前記第 3 のゲート電極が前記制御線に接続され、前記制御トランジスタは前記制御線駆動信号に基づいて前記第 2 のゲート電極と前記第 1 のドレイン電極との間の導通状態をオン／オフ制御し、

- 5 前記第 2 の電極に前記第 2 の電源線が印加され、前記画素表示素子は、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示し、

前記制御手段は、前記選択トランジスタをオン状態としかつ前記制御トランジスタをオン状態とすることにより、前記信号線から前記保持容量へ前記階調画素データを書き込み、前記選択トランジスタをオフ状態としかつ前記制御トランジスタをオン状態とすることにより、前記保持容量に書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電し、この後、前記制御トランジスタをオフ状態にすることにより、前記第 2 のゲート電極をフローティングにして前記保持容量に蓄積された前記階調画素データの電荷を保持する、請求項 1 に記載の画像表示装置。

10

10. 該当する階調画素データが印加される複数の信号線と、制御線駆動信号が印加される複数の制御線と、走査信号が印加される複数の走査線とを有し、前記各信号線と前記各走査線との交差箇所に前記画素がそれぞれ設けられている表示パネルと、
- 15

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

- 20 前記走査信号を前記各走査線に印加する走査線ドライバと、
前記制御線駆動信号を前記各制御線に印加する制御線ドライバと、
をさらに備え、

各画素は、第 3 のドレイン電極、第 3 のソース電極、及び第 3 のゲート電極を有する制御トランジスタをさらに備え、

- 25 前記選択トランジスタは、第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有し、前記駆動トランジスタは、第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有し、前記保持容量は前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持し、各画素表示素子は、第 1 の電極及び第 2 の電極を有するとともに前記第 1 の電極と前記第 2 の電極との間に寄生

容量を有し、

前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記第 2 のドレイン電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記選択トランジスタは前記走査信号に基づいて前記信号線と前記第 2 のドレイン電極との間の導通状態をオン／オフ制御し、

前記第 2 のソース電極に第 1 の電源線が接続され、前記駆動トランジスタは前記保持容量が保持する電圧に基づいて制御される出力電流を前記第 2 のドレイン電極から前記第 1 の電極へ流し、

10 前記第 3 のドレイン電極／第 3 のソース電極が前記第 2 のゲート電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極が前記第 2 のドレイン電極に接続され、前記第 3 のゲート電極が前記制御線に接続され、前記制御トランジスタは前記制御線駆動信号に基づいて前記第 2 のゲート電極と前記第 2 のドレイン電極との間の導通状態をオン／オフ制御し、

15 前記第 2 の電極に前記第 2 の電源線が印加され、前記画素表示素子は、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示し、

前記制御手段は、前記選択トランジスタをオン状態としかつ前記制御トランジスタをオン状態とすることにより、前記信号線から前記保持容量へ前記階調画素データを書き込み、前記選択トランジスタをオフ状態としかつ前記制御トランジスタをオン状態とすることにより、前記保持容量に書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電し、この後、前記制御トランジスタをオフ状態にすることにより、前記第 2 のゲート電極をフローティングにして前記保持容量に蓄積された前記階調画素データの電荷を保持する、請求項 1 に記載の画像表示装置。

25 1 1. 該当する階調画素データが印加される複数の信号線と、制御線駆動信号が印加される複数の制御線と、走査信号が印加される複数の走査線とを有し、前記各信号線と前記各走査線との交差箇所に前記画素がそれぞれ設けられている表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線

ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

前記制御線駆動信号を前記各制御線に印加する制御線ドライバと、

をさらに備え、

5 各画素は、

第3のドレイン電極、第3のソース電極、及び第3のゲート電極を有する制御トランジスタと、

第4のドレイン電極、第4のソース電極、及び第4のゲート電極を有する入力駆動トランジスタと、

10 をさらに備え、

前記選択トランジスタは、第1のドレイン電極、第1のソース電極、及び第1のゲート電極を有し、前記駆動トランジスタは、第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有し、前記保持容量は前記第2のゲート電極と前記第2のソース電極との間の電圧を保持し、各画素表示素子は、第1の電極
15 及び第2の電極を有するとともに前記第1の電極と前記第2の電極との間に寄生容量を有し、

前記第1のドレイン電極／第1のソース電極が前記信号線に接続され、前記第1のソース電極／第1のドレイン電極が前記第3のドレイン電極／第3のソース電極に接続され、前記第1のゲート電極が前記走査線に接続され、前記選択トランジスタは前記走査信号に基づいて前記信号線と前記第3のドレイン電極／第3のソース電極との間の導通状態をオン／オフ制御し、

20 前記第2のソース電極に第1の電源線に接続され、前記駆動トランジスタは前記保持容量が保持する電圧に基づいて制御される第1の出力電流を前記第2のドレイン電極から前記第1の電極へ流し、

25 前記第3のドレイン電極／第3のソース電極が前記第1のソース電極／第1のドレイン電極に接続され、前記第3のソース電極／第3のドレイン電極が前記第2のゲート電極に接続され、前記第3のゲート電極が前記制御線に接続され、前記制御トランジスタは前記制御線駆動信号に基づいて前記第1のソース電極／第1のドレイン電極と前記第2のゲート電極との間の導通状態をオン／オフ制御し、

前記第 4 のソース電極に第 1 の電源線が接続され、前記第 4 のドレイン電極が前記第 1 のソース電極／第 1 のドレイン電極に接続され、前記第 4 のゲート電極が前記第 2 のゲート電極に接続され、前記入力駆動トランジスタは、前記第 4 のソース電極と前記第 4 のゲート電極との間の電圧に基づいて制御される第 2 の出力電流を前記第 4 のソース電極から前記第 4 のドレイン電極へ流し、

前記第 2 の電極に前記第 2 の電源線が印加され、前記画素表示素子は、前記駆動トランジスタの前記第 1 の出力電流に基づいた階調の画素を表示し、

前記制御手段は、前記選択トランジスタをオン状態としかつ前記制御トランジスタをオン状態とすることにより、前記信号線から前記保持容量へ前記階調画素データを書き込み、前記選択トランジスタをオフ状態としかつ前記制御トランジスタをオン状態とすることにより、前記保持容量に書き込まれた前記階調画素データの電荷を前記入力駆動トランジスタを介して一定時間放電し、この後、前記制御トランジスタをオフ状態にすることにより、前記第 2 のゲート電極をフローティングにして前記保持容量に蓄積された前記階調画素データの電荷を保持する、請求項 1 に記載の画像表示装置。

1 2. 該当する階調画素データが印加される複数の信号線と、制御線駆動信号が印加される複数の制御線と、走査信号が印加される複数の走査線とを有し、前記各信号線と前記各走査線との交差箇所に前記画素がそれぞれ設けられている表示パネルと、

20 画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

前記制御線駆動信号を前記各制御線に印加する制御線ドライバと、

をさらに備え、

25 各画素は、

第 3 のドレイン電極、第 3 のソース電極、及び第 3 のゲート電極を有する制御トランジスタと、

第 4 のドレイン電極、第 4 のソース電極、及び第 4 のゲート電極を有する入力駆動トランジスタと、

をさらに備え、

前記選択トランジスタは、第1のドレイン電極、第1のソース電極、及び第1のゲート電極を有し、前記駆動トランジスタは、第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有し、前記保持容量は前記第2のゲート電極
5 と前記第2のソース電極との間の電圧を保持し、各画素表示素子は、第1の電極及び第2の電極を有するとともに前記第1の電極と前記第2の電極との間に寄生容量を有し、

前記第1のドレイン電極／第1のソース電極が前記信号線に接続され、前記第1のソース電極／第1のドレイン電極が前記第3のドレイン電極／第3のソース
10 電極に接続され、前記第1のゲート電極が前記走査線に接続され、前記選択トランジスタは前記走査信号に基づいて前記信号線と前記第3のドレイン電極／第3のソース電極との間の導通状態をオン／オフ制御し、

前記第2のソース電極に第1の電源線に接続され、前記駆動トランジスタは前記保持容量が保持する電圧に基づいて制御される第1の出力電流を前記第2のド
15 レイン電極から前記第1の電極へ流し、

前記第3のドレイン電極／第3のソース電極が前記第1のソース電極／第1のドレイン電極に接続されるとともに前記第4のゲート電極に接続され、前記第3のソース電極／第3のドレイン電極が前記第2のゲート電極に接続され、前記第3のゲート電極が前記制御線に接続され、前記制御トランジスタは前記制御線駆
20 動信号に基づいて前記第1のソース電極／第1のドレイン電極と前記第2のゲート電極との間の導通状態をオン／オフ制御し、

前記第4のソース電極に第1の電源線が接続され、前記第4のドレイン電極が前記第1のソース電極／第1のドレイン電極に接続され、前記第4のゲート電極が前記第4のドレイン電極に接続され、前記入力駆動トランジスタは、前記第4
25 のソース電極と前記第4のゲート電極との間の電圧に基づいて制御される第2の出力電流を前記第4のソース電極から前記第4のドレイン電極へ流し、

前記第2の電極に前記第2の電源線が印加され、前記画素表示素子は、前記駆動トランジスタの前記第1の出力電流に基づいた階調の画素を表示し、

前記制御手段は、前記選択トランジスタをオン状態としかつ前記制御トランジ

スタをオン状態とすることにより、前記信号線から前記保持容量へ前記階調画素データを書き込み、前記選択トランジスタをオフ状態としかつ前記制御トランジスタをオン状態とすることにより、前記保持容量に書き込まれた前記階調画素データの電荷を前記入力駆動トランジスタを介して一定時間放電し、この後、前記制御トランジスタをオフ状態にすることにより、前記第2のゲート電極をフローティングにして前記保持容量に蓄積された前記階調画素データの電荷を保持する、請求項1に記載の画像表示装置。

13. 前記画素表示素子は、有機エレクトロルミネセンス素子で構成されている、請求項1に記載の画像表示装置。

10 14. 第1の電源線と第2の電源線との間に直列に接続された駆動トランジスタ及び画素表示素子と、前記駆動トランジスタのゲート電極に接続された保持容量と、信号線と前記駆動トランジスタのゲート電極との間に接続された選択トランジスタとを有する画素と、を含む画像表示装置の制御方法であって、

15 前記選択トランジスタをオン状態にすることにより、前記信号線から前記保持容量へ階調画素データを書き込む画素データ書き込み段階と、

前記保持容量に書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電する放電段階と、

20 前記放電段階の後、前記駆動トランジスタのゲート電極をフローティングにすることにより前記保持容量に蓄積された前記階調画素データの電荷を保持する画素データ保持段階と、

を有する、制御方法。

15 15. 前記画像表示装置は、該当する階調画素データが印加される複数の信号線と、走査信号が印加される複数の走査線とを有し、前記各信号線と前記各走査線との交差箇所に前記画素がそれぞれ設けられている表示パネルと、

25 画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

をさらに備え、

前記選択トランジスタは、第1のドレイン電極、第1のソース電極、及び第1

のゲート電極を有し、前記駆動トランジスタは、第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有し、前記保持容量は前記第2のゲート電極と前記第2のソース電極との間の電圧を保持し、前記画素表示素子は第1の電極及び第2の電極を有し、

5 前記第1のドレイン電極／第1のソース電極が前記信号線に接続され、前記第1のソース電極／第1のドレイン電極が前記第2のゲート電極に接続され、前記第1のゲート電極が前記走査線に接続され、前記選択トランジスタは、前記走査信号に基づいて前記信号線と前記第2のゲート電極との間の導通状態をオン／オフ制御し、

10 前記第2のドレイン電極に第1の電源線が印加され、前記第2のソース電極が前記第1の電極に接続され、前記駆動トランジスタは前記保持容量が保持する電圧に基づいて制御される出力電流を前記第2のソース電極から前記第1の電極へ流し、

前記第2の電極に第2の電源線が接続され、前記画素表示素子は、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する、請求項14に記載の制御方法。

15

16. 設定された順序で走査信号が前記複数の走査線に印加される、請求項15に記載の制御方法。

17. 前記画像表示装置は、リセット信号が印加される複数のリセット信号線と、

20

前記リセット信号を前記各リセット信号線に印加するリセット信号線ドライバとをさらに有し、

各画素に、第3のドレイン電極、第3のソース電極、及び第3のゲート電極を有するリセットトランジスタが設けられ、前記第1の電極と前記第2の電極との間に寄生容量が形成され、

25

前記第3のドレイン電極／第3のソース電極が前記第2のソース電極に接続され、前記第3のソース電極／第3のドレイン電極に前記第2の電源線に接続され、前記第3のゲート電極が前記リセット信号線に接続され、前記リセットトランジスタは前記リセット信号に基づいて前記第2のソース電極と前記第2の電源線と

の間の導通状態をオン／オフ制御し、

さらに、前記制御方法は、前記画素データ書込み段階の前に、前記リセットトランジスタをオン状態にすることにより、前記保持容量及び寄生容量を放電させる追加の放電段階を備え、

- 5 前記画素データ保持段階において、前記選択トランジスタをオフ状態にすることにより、前記第2のゲート電極をフローティングにする、請求項15に記載の制御方法。

18. 前記画像表示装置は、リセット信号が印加される複数のリセット信号線と、

- 10 前記リセット信号を前記各リセット信号線に印加するリセット信号線ドライバとをさらに有し、

各画素に、第3のドレイン電極、第3のソース電極、及び第3のゲート電極を有するリセットトランジスタが設けられ、前記第1の電極と前記第2の電極との間に寄生容量が形成され、

- 15 前記第3のドレイン電極／第3のソース電極が前記第2のソース電極に接続され、前記第3のソース電極／第3のドレイン電極に前記第1の電源線に接続され、前記第3のゲート電極が前記リセット信号線に接続され、前記リセットトランジスタは前記リセット信号に基づいて前記第2のソース電極と前記第1の電源線との間の導通状態をオン／オフ制御し、

- 20 前記制御方法は、前記画素データ書込み段階の前に、前記リセットトランジスタをオン状態にすることにより、前記保持容量及び寄生容量を放電させる追加の放電段階をさらに備え、

前記画素データ保持段階において、前記選択トランジスタをオフ状態にすることにより、前記第2のゲート電極をフローティングにする、請求項15に記載の
25 制御方法。

19. 前記画素表示素子は前記第1の電極と前記第2の電極との間に寄生容量を有し、

前記画素データ書込み段階の前に、前記選択トランジスタをオン状態にすると共に前記信号線からリセット信号電圧を入力することにより、前記保持容量及び

寄生容量を放電させる追加の放電段階を備え、

前記画素データ保持段階において、前記選択トランジスタをオフ状態にすることにより、前記第2のゲート電極をフローティングにする、請求項15に記載の制御方法。

- 5 20. 前記画像表示装置は、前記第1の電源線及び前記第2の電源線にそれぞれ第1の電源電圧及び第2の電源電圧を前記表示パネルへ供給する電源供給回路をさらに有し、

前記画素表示素子は前記第1の電極と前記第2の電極との間に寄生容量を有し、

- 10 前記制御方法は、前記画素データ書込み段階の前に、前記第1の電源電圧をリセット信号電圧とすることにより、前記保持容量及び寄生容量を放電させる追加の放電段階をさらに備え、

前記画素データ保持段階において、前記選択トランジスタをオフ状態にすることにより、前記第2のゲート電極をフローティングにする、請求項15に記載の制御方法。

- 15 21. 前記画像表示装置は、該当する階調画素データが印加される複数の信号線と、制御線駆動信号が印加される複数の制御線と、走査信号が印加される複数の走査線とを有し、前記各信号線と前記各走査線との交差箇所に前記画素がそれぞれ設けられている表示パネルと、

- 20 画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

前記制御線駆動信号を前記各制御線に印加する制御線ドライバと、

をさらに備え、

- 25 各画素は、第3のドレイン電極、第3のソース電極、及び第3のゲート電極を有する制御トランジスタをさらに備え、

前記選択トランジスタは、第1のドレイン電極、第1のソース電極、及び第1のゲート電極を有し、前記駆動トランジスタは、第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有し、前記保持容量は前記第2のゲート電極と前記第2のソース電極との間の電圧を保持し、各画素表示素子は、第1の電極

及び第 2 の電極を有するとともに前記第 1 の電極と前記第 2 の電極との間に寄生容量を有し、

前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記第 2 のゲート電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記選択トランジスタは前記走査信号に基づいて前記信号線と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、

前記第 2 のソース電極に第 1 の電源線が接続され、前記駆動トランジスタは前記保持容量が保持する電圧に基づいて制御される出力電流を前記第 2 のドレイン電極から前記第 1 の電極へ流し、

前記第 3 のドレイン電極／第 3 のソース電極が前記第 2 のゲート電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極が前記第 2 のドレイン電極に接続され、前記第 3 のゲート電極が前記制御線に接続され、前記制御トランジスタは前記制御線駆動信号に基づいて前記第 2 のゲート電極と前記第 2 のドレイン電極との間の導通状態をオン／オフ制御し、

前記第 2 の電極に前記第 2 の電源線が印加され、前記画素表示素子は、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示し、

前記画素データ書き込み段階において、前記選択トランジスタをオン状態とし、かつ前記制御トランジスタをオフ状態とすることにより、前記信号線から前記保持容量へ前記階調画素データを書き込み、

前記放電段階において、前記選択トランジスタをオフ状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記保持容量に書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電させ、

前記画素データ保持段階において、前記制御トランジスタをオフ状態にすることにより前記第 2 のゲート電極をフローティングにする、請求項 1 4 に記載の制御方法。

22. 前記画像表示装置は、該当する階調画素データが印加される複数の信号線と、制御線駆動信号が印加される複数の制御線と、走査信号が印加される複数の走査線とを有し、前記各信号線と前記各走査線との交差箇所に前記画素がそ

れぞれ設けられている表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

- 5 前記制御線駆動信号を前記各制御線に印加する制御線ドライバと、
をさらに備え、

各画素は、第3のドレイン電極、第3のソース電極、及び第3のゲート電極を有する制御トランジスタをさらに備え、

- 10 前記選択トランジスタは、第1のドレイン電極、第1のソース電極、及び第1のゲート電極を有し、前記駆動トランジスタは、第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有し、前記保持容量は前記第2のゲート電極と前記第2のソース電極との間の電圧を保持し、各画素表示素子は、第1の電極及び第2の電極を有するとともに前記第1の電極と前記第2の電極との間に寄生容量を有し、

- 15 前記第1のドレイン電極／第1のソース電極が前記信号線に接続され、前記第1のソース電極／第1のドレイン電極が前記第2のゲート電極に接続され、前記第1のゲート電極が前記走査線に接続され、前記選択トランジスタは前記走査信号に基づいて前記信号線と前記第2のゲート電極との間の導通状態をオン／オフ制御し、

- 20 前記第2のソース電極に第1の電源線が接続され、前記駆動トランジスタは前記保持容量が保持する電圧に基づいて制御される出力電流を前記第2のドレイン電極から前記第1の電極へ流し、

- 25 前記第3のドレイン電極／第3のソース電極が前記第2のゲート電極に接続され、前記第3のソース電極／第3のドレイン電極が前記第2のドレイン電極に接続され、前記第3のゲート電極が前記制御線に接続され、前記制御トランジスタは前記制御線駆動信号に基づいて前記第2のゲート電極と前記第1のドレイン電極との間の導通状態をオン／オフ制御し、

前記第2の電極に前記第2の電源線が印加され、前記画素表示素子は、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示し、

前記画素データ書込み段階において、前記選択トランジスタをオン状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記信号線から前記保持容量へ前記階調画素データを書き込み、

- 5 前記放電段階において、前記選択トランジスタをオフ状態としかつ前記制御トランジスタをオン状態とすることにより、前記保持容量に書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電させ、

前記画素データ保持段階において、前記制御トランジスタをオフ状態にすることにより前記第2のゲート電極をフローティングにする、請求項14に記載の制御方法。

- 10 23. 前記画像表示装置は、該当する階調画素データが印加される複数の信号線と、制御線駆動信号が印加される複数の制御線と、走査信号が印加される複数の走査線とを有し、前記各信号線と前記各走査線との交差箇所に前記画素がそれぞれ設けられている表示パネルと、

- 15 画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

前記制御線駆動信号を前記各制御線に印加する制御線ドライバと、

をさらに備え、

- 20 各画素は、第3のドレイン電極、第3のソース電極、及び第3のゲート電極を有する制御トランジスタをさらに備え、

- 前記選択トランジスタは、第1のドレイン電極、第1のソース電極、及び第1のゲート電極を有し、前記駆動トランジスタは、第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有し、前記保持容量は前記第2のゲート電極と前記第2のソース電極との間の電圧を保持し、各画素表示素子は、第1の電極
25 及び第2の電極を有するとともに前記第1の電極と前記第2の電極との間に寄生容量を有し、

前記第1のドレイン電極／第1のソース電極が前記信号線に接続され、前記第1のソース電極／第1のドレイン電極が前記第2のドレイン電極に接続され、前記第1のゲート電極が前記走査線に接続され、前記選択トランジスタは前記走査

信号に基づいて前記信号線と前記第 2 のドレイン電極との間の導通状態をオン／オフ制御し、

前記第 2 のソース電極に第 1 の電源線が接続され、前記駆動トランジスタは前記保持容量が保持する電圧に基づいて制御される出力電流を前記第 2 のドレイン電極から前記第 1 の電極へ流し、

前記第 3 のドレイン電極／第 3 のソース電極が前記第 2 のゲート電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極が前記第 2 のドレイン電極に接続され、前記第 3 のゲート電極が前記制御線に接続され、前記制御トランジスタは前記制御線駆動信号に基づいて前記第 2 のゲート電極と前記第 2 のドレイン電極との間の導通状態をオン／オフ制御し、

前記第 2 の電極に前記第 2 の電源線が印加され、前記画素表示素子は、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示し、

前記画素データ書き込み段階において、前記選択トランジスタをオン状態としかつ前記制御トランジスタをオン状態とすることにより、前記信号線から前記保持容量へ前記階調画素データを書き込み、

前記放電段階において、前記選択トランジスタをオフ状態としかつ前記制御トランジスタをオン状態とすることにより、前記保持容量に書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電させ、

前記画素データ保持段階において、前記制御トランジスタをオフ状態にすることにより前記第 2 のゲート電極をフローティングにする、請求項 1 4 に記載の制御方法。

2 4 . 前記画像表示装置は、該当する階調画素データが印加される複数の信号線と、制御線駆動信号が印加される複数の制御線と、走査信号が印加される複数の走査線とを有し、前記各信号線と前記各走査線との交差箇所に前記画素がそれぞれ設けられている表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

前記制御線駆動信号を前記各制御線に印加する制御線ドライバと、

をさらに備え、

各画素は、

第3のドレイン電極、第3のソース電極、及び第3のゲート電極を有する制御トランジスタと、

5 第4のドレイン電極、第4のソース電極、及び第4のゲート電極を有する入力駆動トランジスタと、

をさらに備え、

前記選択トランジスタは、第1のドレイン電極、第1のソース電極、及び第1のゲート電極を有し、前記駆動トランジスタは、第2のドレイン電極、第2のソ
10 ース電極、及び第2のゲート電極を有し、前記保持容量は前記第2のゲート電極と前記第2のソース電極との間の電圧を保持し、各画素表示素子は、第1の電極及び第2の電極を有するとともに前記第1の電極と前記第2の電極との間に寄生容量を有し、

前記第1のドレイン電極／第1のソース電極が前記信号線に接続され、前記第
15 1のソース電極／第1のドレイン電極が前記第3のドレイン電極／第3のソース電極に接続され、前記第1のゲート電極が前記走査線に接続され、前記選択トランジスタは前記走査信号に基づいて前記信号線と前記第3のドレイン電極／第3のソース電極との間の導通状態をオン／オフ制御し、

前記第2のソース電極に第1の電源線に接続され、前記駆動トランジスタは前
20 記保持容量が保持する電圧に基づいて制御される第1の出力電流を前記第2のドレイン電極から前記第1の電極へ流し、

前記第3のドレイン電極／第3のソース電極が前記第1のソース電極／第1のドレイン電極に接続され、前記第3のソース電極／第3のドレイン電極が前記第2のゲート電極に接続され、前記第3のゲート電極が前記制御線に接続され、前
25 記制御トランジスタは前記制御線駆動信号に基づいて前記第1のソース電極／第1のドレイン電極と前記第2のゲート電極との間の導通状態をオン／オフ制御し、

前記第4のソース電極に第1の電源線が接続され、前記第4のドレイン電極が前記第1のソース電極／第1のドレイン電極に接続され、前記第4のゲート電極が前記第2のゲート電極に接続され、前記入力駆動トランジスタは、前記第4の

ソース電極と前記第 4 のゲート電極との間の電圧に基づいて制御される第 2 の出力電流を前記第 4 のソース電極から前記第 4 のドレイン電極へ流し、

前記第 2 の電極に前記第 2 の電源線が印加され、前記画素表示素子は、前記駆動トランジスタの前記第 1 の出力電流に基づいた階調の画素を表示し、

- 5 前記画素データ書込み段階において、前記選択トランジスタをオン状態としかつ前記制御トランジスタをオン状態とすることにより、前記信号線から前記保持容量へ前記階調画素データを書き込み、

- 10 前記放電段階において、前記選択トランジスタをオフ状態としかつ前記制御トランジスタをオン状態とすることにより、前記保持容量に書き込まれた前記階調画素データの電荷を前記入力駆動トランジスタを介して一定時間放電させ、

前記画素データ保持段階において、前記制御トランジスタをオフ状態にすることにより前記第 2 のゲート電極をフローティングにする、請求項 1 4 に記載の制御方法。

- 2 5 . 前記画像表示装置は、該当する階調画素データが印加される複数の信号線と、制御線駆動信号が印加される複数の制御線と、走査信号が印加される複数の走査線とを有し、前記各信号線と前記各走査線との交差箇所に前記画素がそれぞれ設けられている表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

- 20 前記走査信号を前記各走査線に印加する走査線ドライバと、
前記制御線駆動信号を前記各制御線に印加する制御線ドライバと、
をさらに備え、

各画素は、

- 25 第 3 のドレイン電極、第 3 のソース電極、及び第 3 のゲート電極を有する制御トランジスタと、

第 4 のドレイン電極、第 4 のソース電極、及び第 4 のゲート電極を有する入力駆動トランジスタと、

をさらに備え、

前記選択トランジスタは、第 1 のドレイン電極、第 1 のソース電極、及び第 1

のゲート電極を有し、前記駆動トランジスタは、第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有し、前記保持容量は前記第2のゲート電極と前記第2のソース電極との間の電圧を保持し、各画素表示素子は、第1の電極及び第2の電極を有するとともに前記第1の電極と前記第2の電極との間に寄生容量を有し、

前記第1のドレイン電極／第1のソース電極が前記信号線に接続され、前記第1のソース電極／第1のドレイン電極が前記第3のドレイン電極／第3のソース電極に接続され、前記第1のゲート電極が前記走査線に接続され、前記選択トランジスタは前記走査信号に基づいて前記信号線と前記第3のドレイン電極／第3のソース電極との間の導通状態をオン／オフ制御し、

前記第2のソース電極に第1の電源線に接続され、前記駆動トランジスタは前記保持容量が保持する電圧に基づいて制御される第1の出力電流を前記第2のドレイン電極から前記第1の電極へ流し、

前記第3のドレイン電極／第3のソース電極が前記第1のソース電極／第1のドレイン電極に接続されるとともに前記第4のゲート電極に接続され、前記第3のソース電極／第3のドレイン電極が前記第2のゲート電極に接続され、前記第3のゲート電極が前記制御線に接続され、前記制御トランジスタは前記制御線駆動信号に基づいて前記第1のソース電極／第1のドレイン電極と前記第2のゲート電極との間の導通状態をオン／オフ制御し、

前記第4のソース電極に第1の電源線が接続され、前記第4のドレイン電極が前記第1のソース電極／第1のドレイン電極に接続され、前記第4のゲート電極が前記第4のドレイン電極に接続され、前記入力駆動トランジスタは、前記第4のソース電極と前記第4のゲート電極との間の電圧に基づいて制御される第2の出力電流を前記第4のソース電極から前記第4のドレイン電極へ流し、

前記第2の電極に前記第2の電源線が印加され、前記画素表示素子は、前記駆動トランジスタの前記第1の出力電流に基づいた階調の画素を表示し、

前記画素データ書き込み段階において、前記選択トランジスタをオン状態としかつ前記制御トランジスタをオン状態とすることにより、前記信号線から前記保持容量へ前記階調画素データを書き込み、

前記放電段階において、前記選択トランジスタをオフ状態としかつ前記制御トランジスタをオン状態とすることにより、前記保持容量に書き込まれた前記階調画素データの電荷を前記入力駆動トランジスタを介して一定時間放電させ、

5 前記画素データ保持段階において、前記制御トランジスタをオフ状態にすることにより前記第2のゲート電極をフローティングにする、請求項13に記載の制御方法。

26. 前記画素表示素子は、有機エレクトロルミネセンス素子で構成されている、請求項14に記載の制御方法。

10 27. 電流制御素子の駆動回路であって、
第1の電源線と第2の電源線との間に直列に接続された駆動トランジスタと電流制御素子と、

前記駆動トランジスタのゲート電極に接続された保持容量と、

信号線と前記駆動トランジスタのゲート電極との間に接続された選択トランジスタとを備え、

15 前記駆動回路の選択期間に、前記選択トランジスタをオンにして前記信号線から第1の信号電圧を入力し、前記保持容量に書き込まれた信号電荷を前記駆動トランジスタを経て放電したのち、前記信号線から第2の信号電圧を入力して前記保持容量に保持し、前記駆動回路の非選択期間に、前記選択トランジスタをオフにして前記駆動トランジスタを経て前記電流制御素子に電流を流す、駆動回路。

20 28. 前記保持容量は、前記駆動トランジスタと前記電流制御素子の接続点と、前記駆動トランジスタのゲート電極との間に接続されている、請求項27に記載の駆動回路。

25 29. 前記駆動回路の選択期間の初期に、前記信号線にリセット信号電圧を入力することによって、前記保持容量及び前記電流制御素子の寄生容量に蓄積されている電荷をリセットする、請求項27に記載の駆動回路。

30. 前記駆動回路の選択期間の初期に、前記駆動トランジスタをオンにし、前記第1の電源線をリセット信号電圧とすることによって、前記保持容量及び前記電流制御素子の寄生容量に蓄積されている電荷をリセットする、請求項27に記載の駆動回路。

3 1. 前記選択トランジスタと前記駆動トランジスタとが、いずれもNチャネル電界効果トランジスタからなる、請求項27に記載の駆動回路。

3 2. 前記選択トランジスタと前記駆動トランジスタとが、いずれもPチャネル電界効果トランジスタからなる、請求項27に記載の駆動回路。

5 3 3. 前記駆動トランジスタのゲート電極とソース電極との間にスイッチングトランジスタを備え、前記駆動回路の非選択期間又は選択期間の初期に、前記スイッチングトランジスタをオンにすることによって、前記保持容量及び前記電流制御素子の寄生容量に蓄積されている電荷をリセットする、請求項27に記載の駆動回路。

10 3 4. 前記駆動トランジスタのゲート電極と前記第2の電源線との間にスイッチングトランジスタを備え、前記駆動回路の非選択期間又は選択期間の初期に、前記スイッチングトランジスタをオンにすることによって、前記保持容量及び前記電流制御素子の寄生容量に蓄積されている電荷をリセットする、請求項27に記載の駆動回路。

15 3 5. 前記選択トランジスタと前記駆動トランジスタと前記スイッチングトランジスタがいずれもNチャネル電界効果トランジスタからなる、請求項33に記載の駆動回路。

20 3 6. 前記選択トランジスタと前記駆動トランジスタと前記スイッチングトランジスタがいずれもNチャネル電界効果トランジスタからなる、請求項34に記載の駆動回路。

3 7. 前記選択トランジスタと前記駆動トランジスタと前記スイッチングトランジスタがいずれもPチャネル電界効果トランジスタからなる、請求項33に記載の駆動回路。

25 3 8. 前記選択トランジスタと前記駆動トランジスタと前記スイッチングトランジスタがいずれもPチャネル電界効果トランジスタからなる、請求項34に記載の駆動回路。

3 9. 第1の電源線と第2の電源線との間に直列に接続された駆動トランジスタと電流制御素子と、前記駆動トランジスタのゲート電極に接続された保持容量と、信号線と前記駆動トランジスタのゲート電極との間に接続された選択トラ

ンジスタとを備える駆動回路の駆動方法であって、

前記駆動回路の選択期間に、前記選択トランジスタをオンにして前記信号線から第１の信号電圧を入力し、前記保持容量に書き込まれた信号電荷を前記駆動トランジスタを経て放電させる段階と、

- 5 前記信号線から第２の信号電圧を入力して前記保持容量に保持させる段階と、
前記駆動回路の非選択期間に、前記選択トランジスタをオフにして前記駆動トランジスタを経て前記電流制御素子に電流を流す段階と、
を有する駆動方法。

- 10 40. 前記保持容量は、前記駆動トランジスタと前記電流制御素子の接続点と、前記駆動トランジスタのゲート電極との間に接続されている、請求項３９に記載の駆動方法。

41. 前記駆動回路の選択期間の初期に、前記信号線にリセット信号電圧を入力することによって、前記保持容量及び前記電流制御素子の寄生容量に蓄積されている電荷をリセットする、請求項３９に記載の駆動方法。

- 15 42. 前記駆動回路の選択期間の初期に、前記駆動トランジスタをオンにし、前記第１の電源線をリセット信号電圧とすることによって、前記保持容量及び前記電流制御素子の寄生容量に蓄積されている電荷をリセットする、請求項３９に記載の駆動方法。

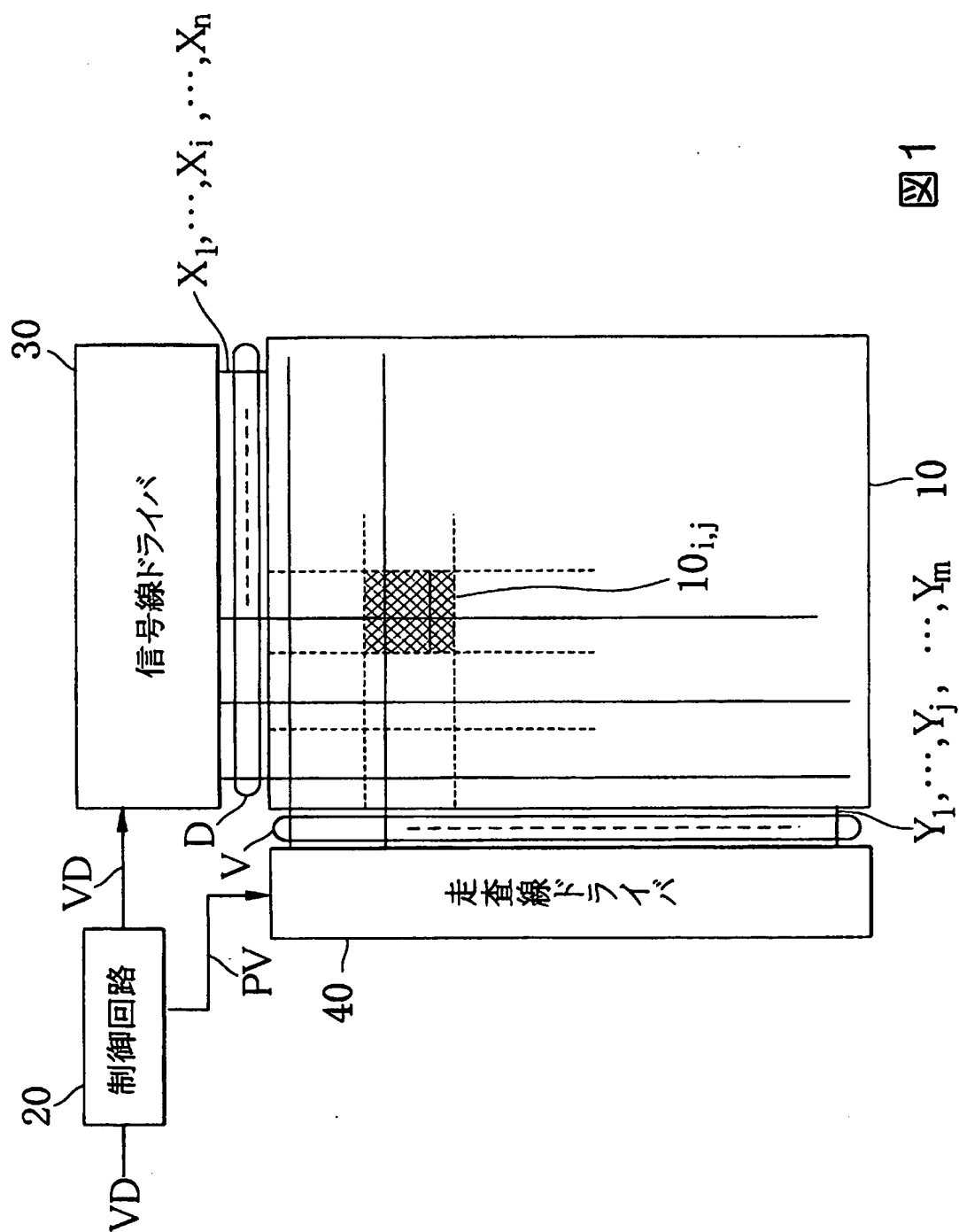
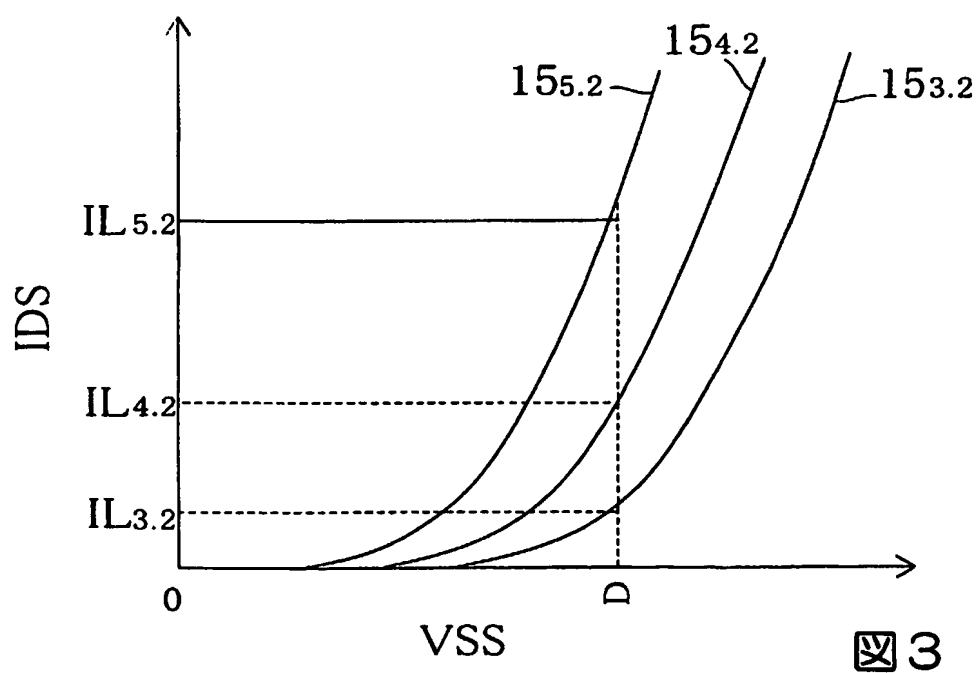
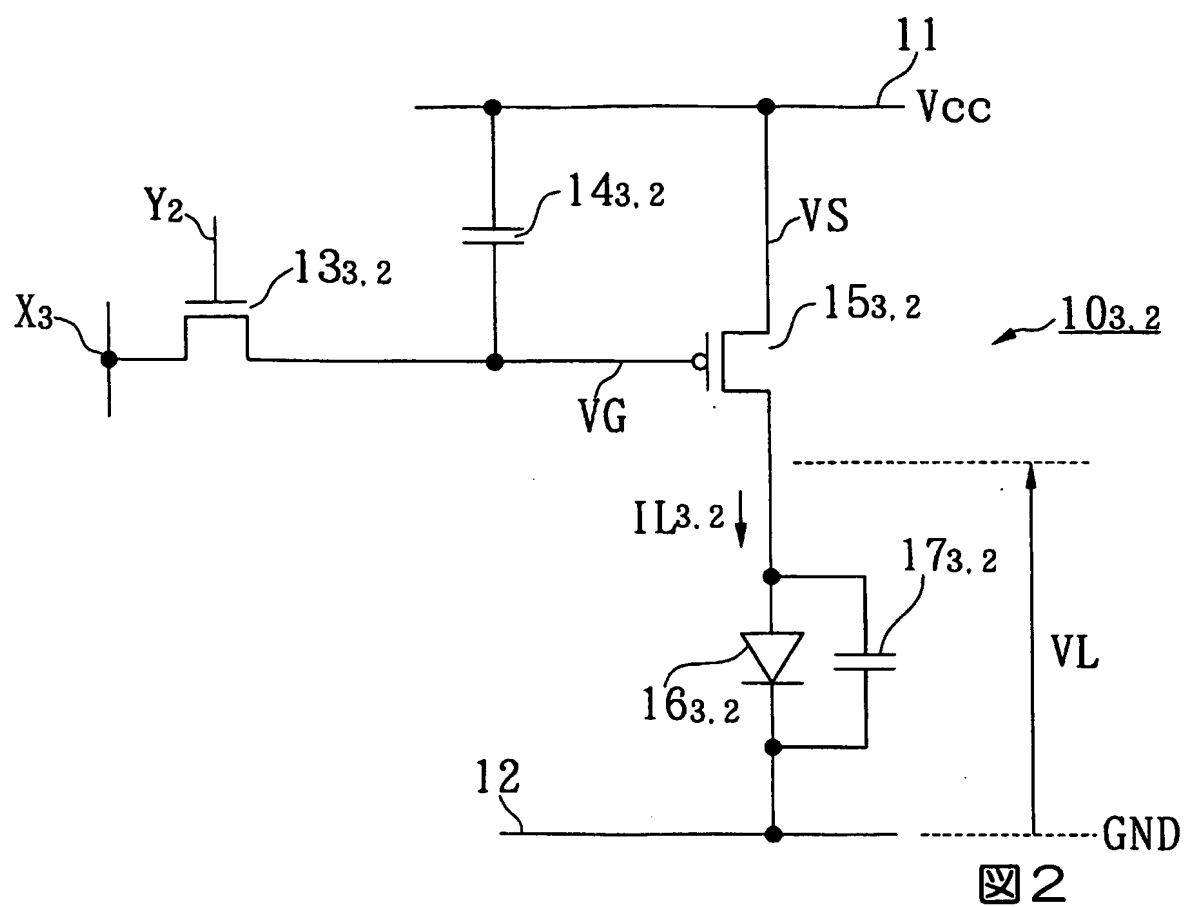
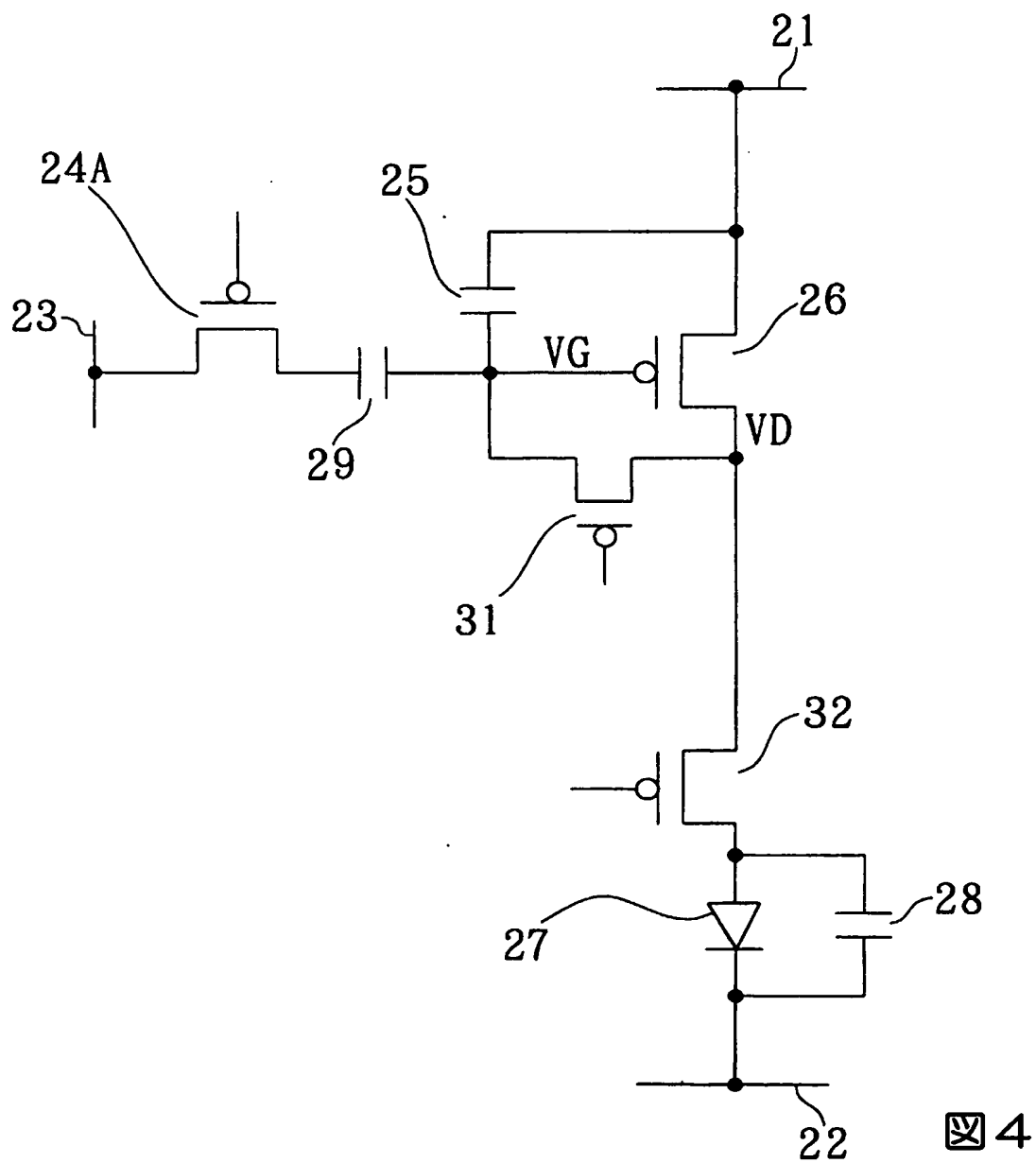
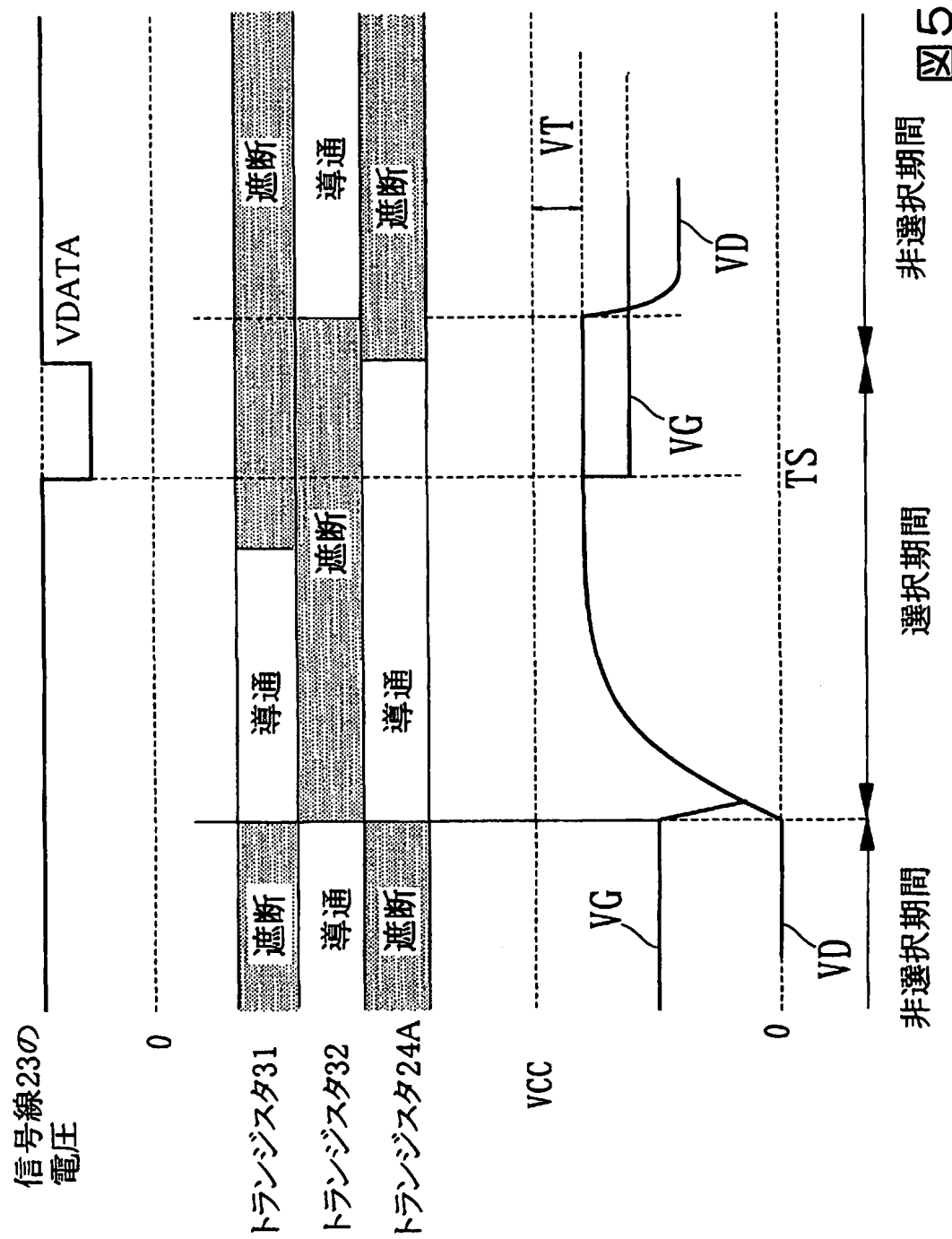


図1







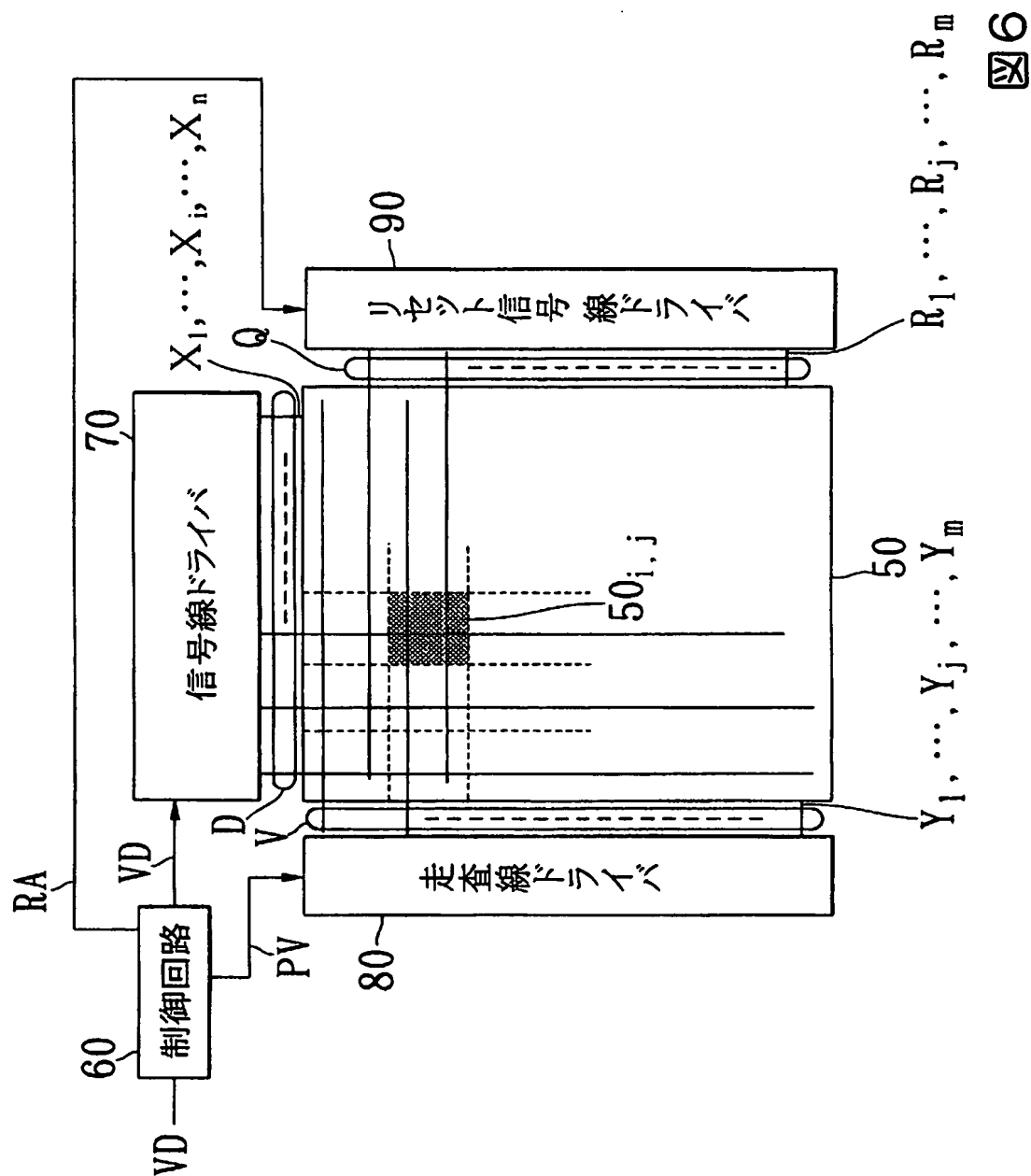
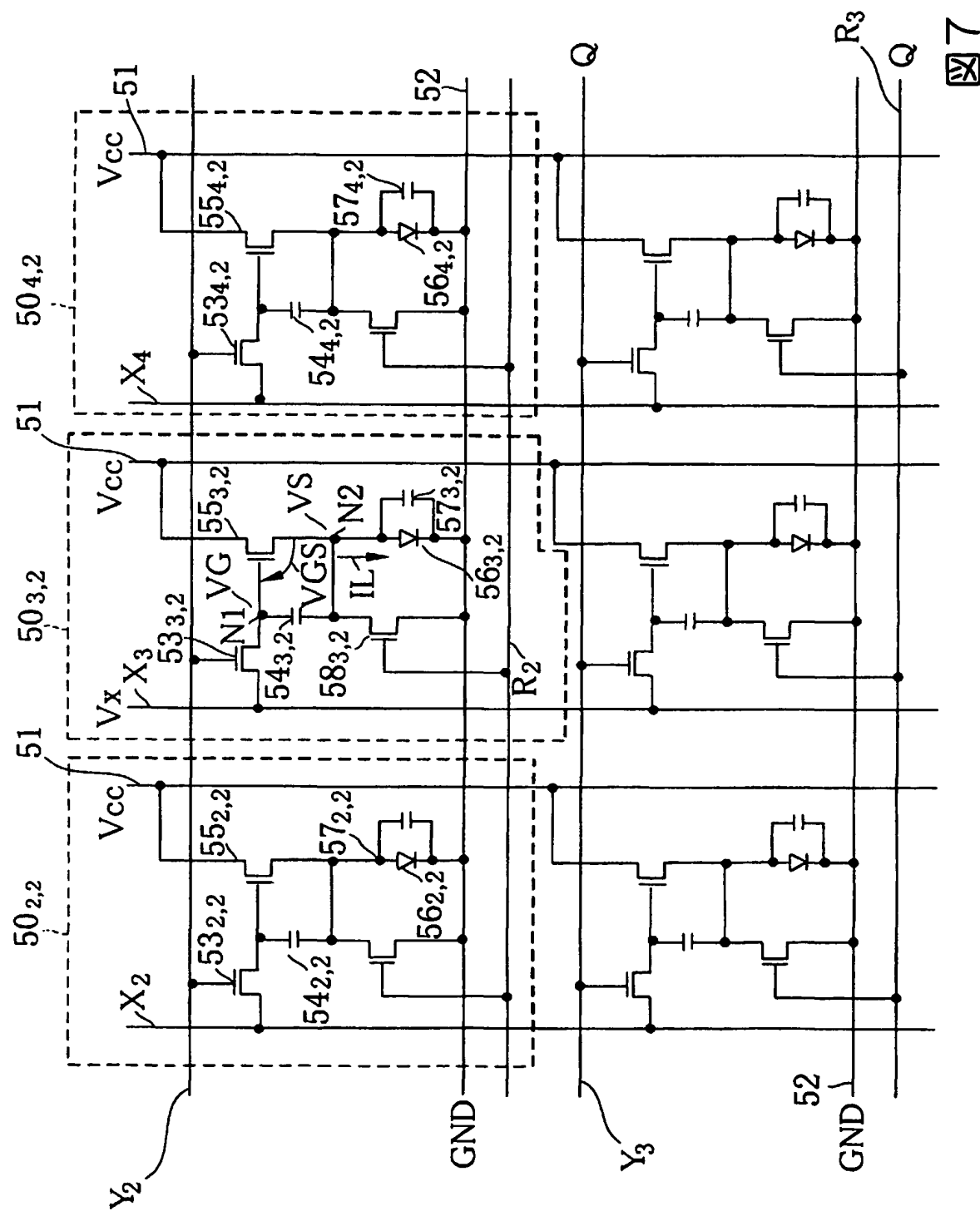


図6



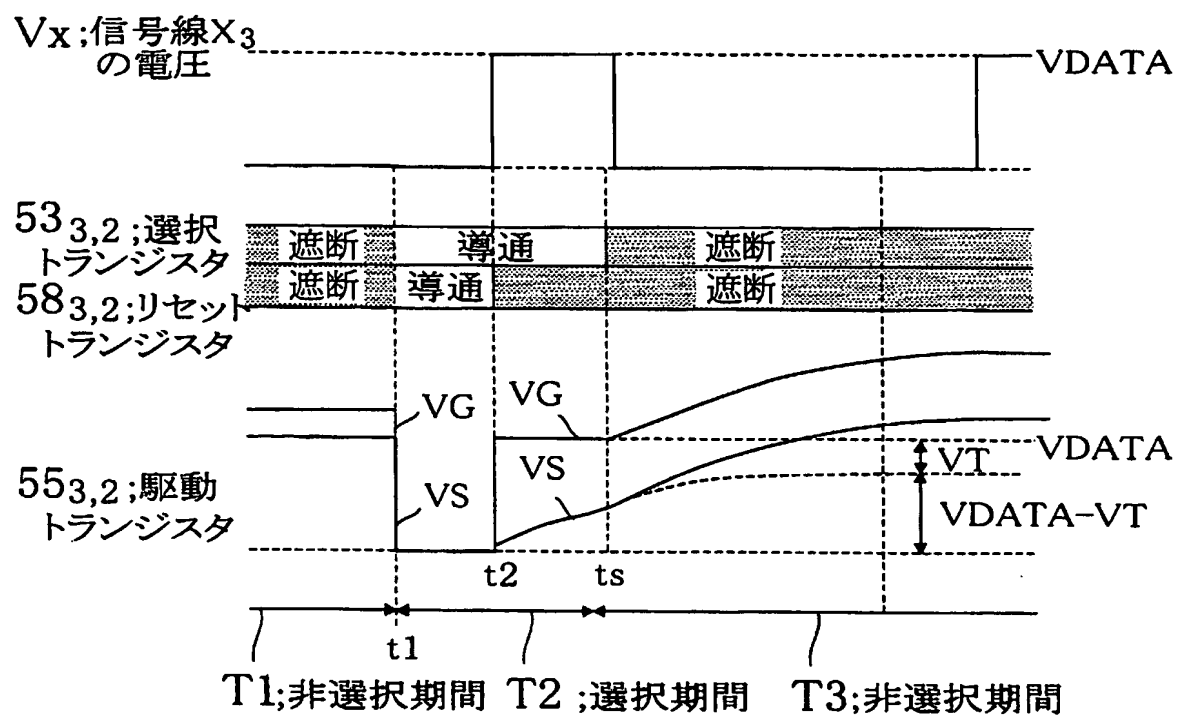


図8

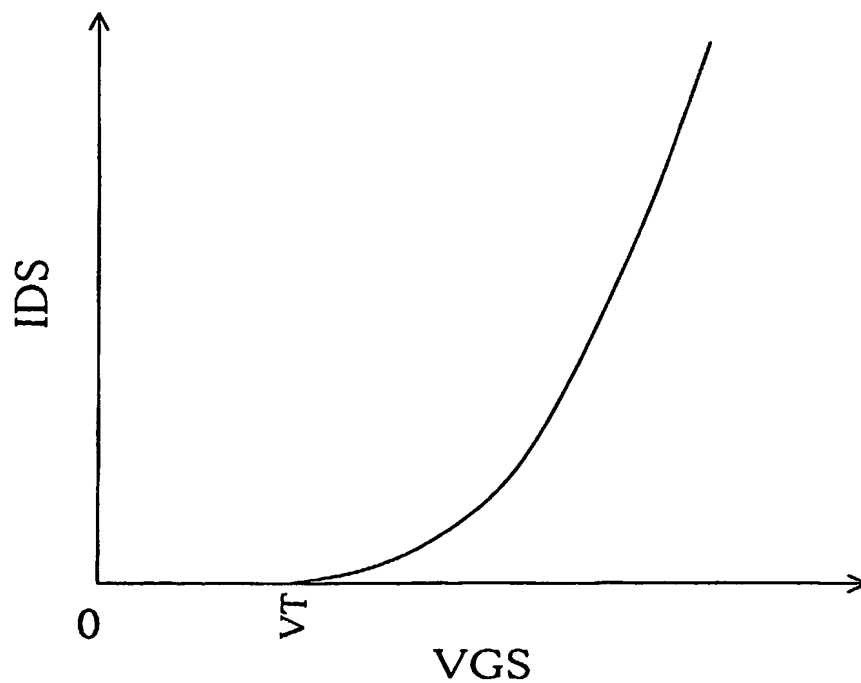
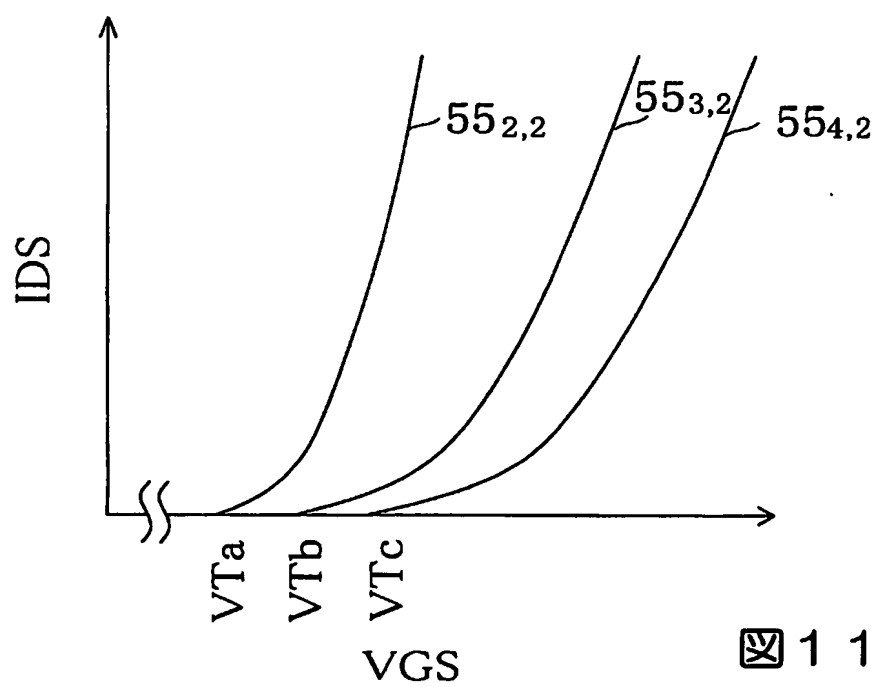
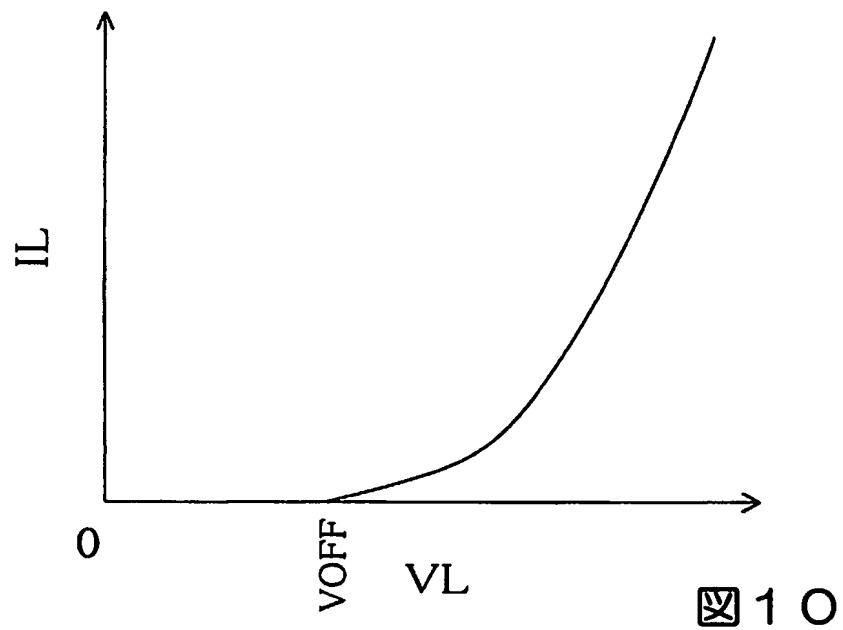


図9



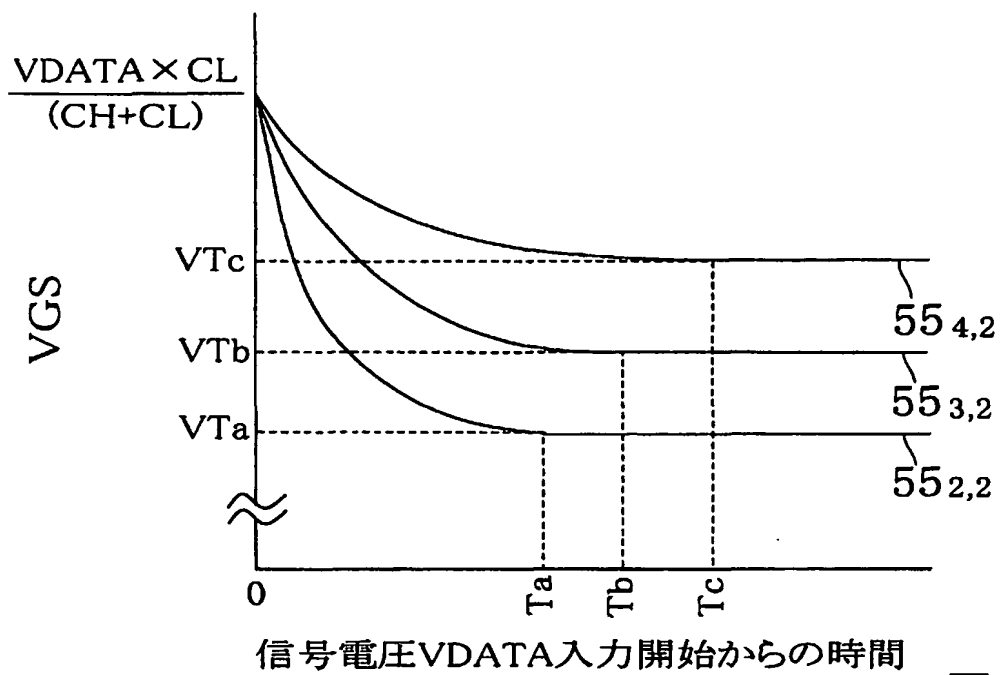


図 1 2

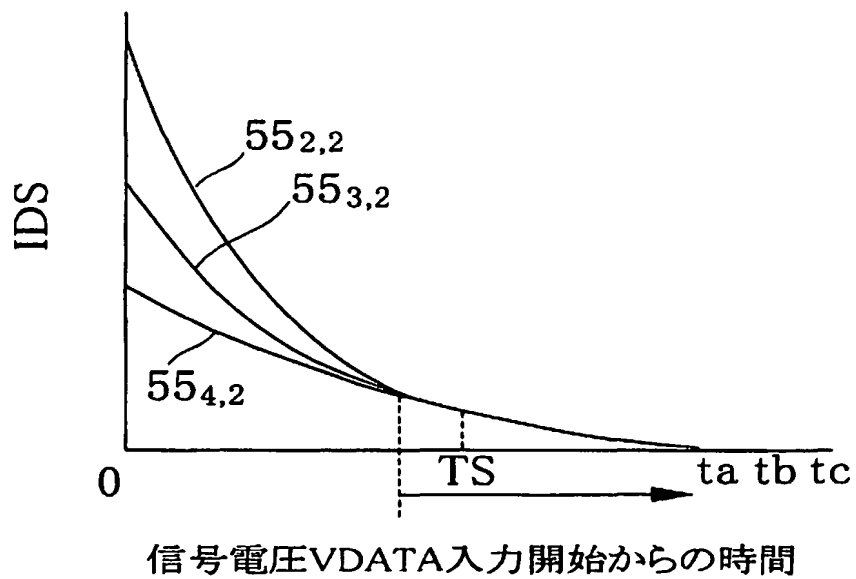


図 1 3

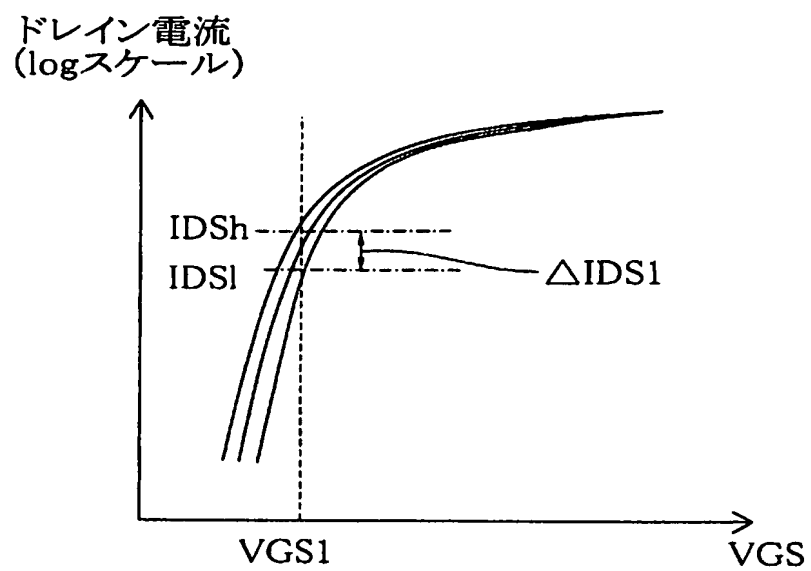


図 1 4

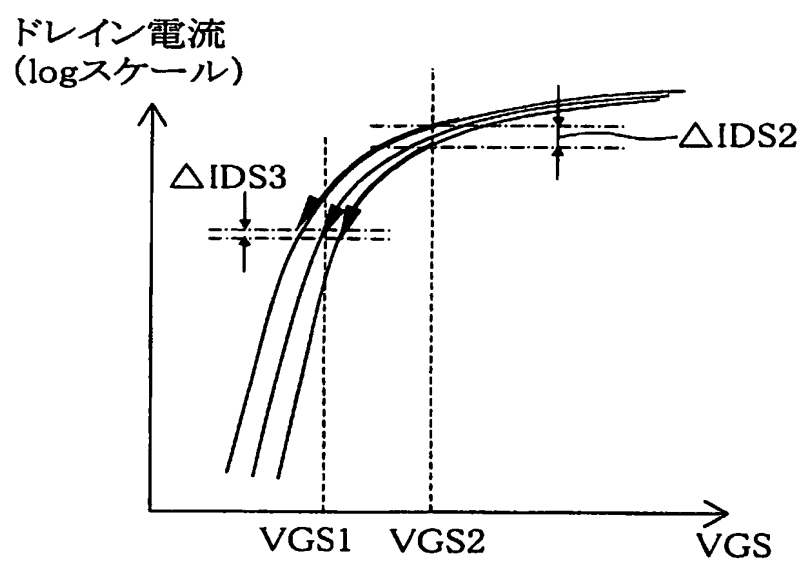


図 1 5

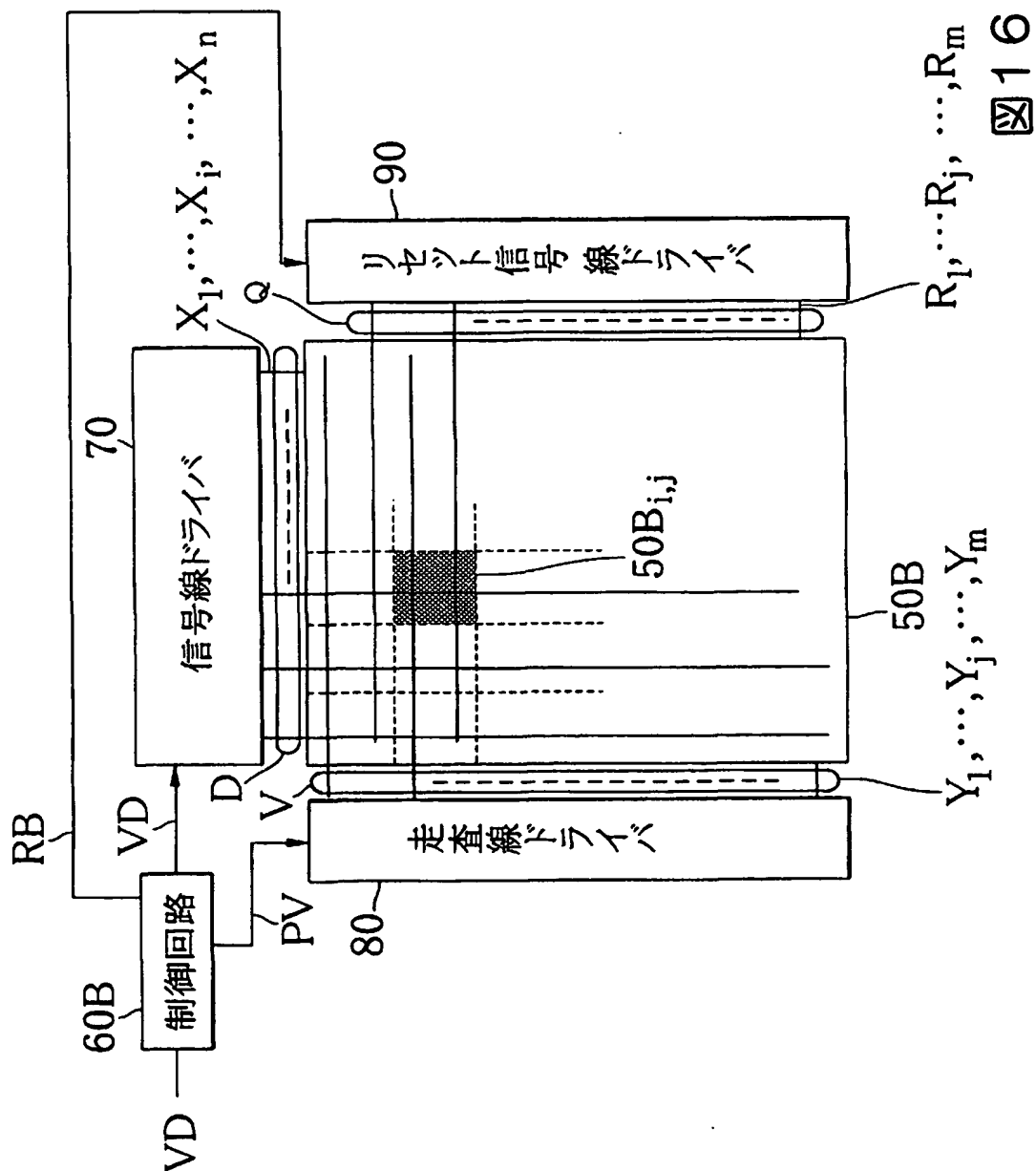


図16

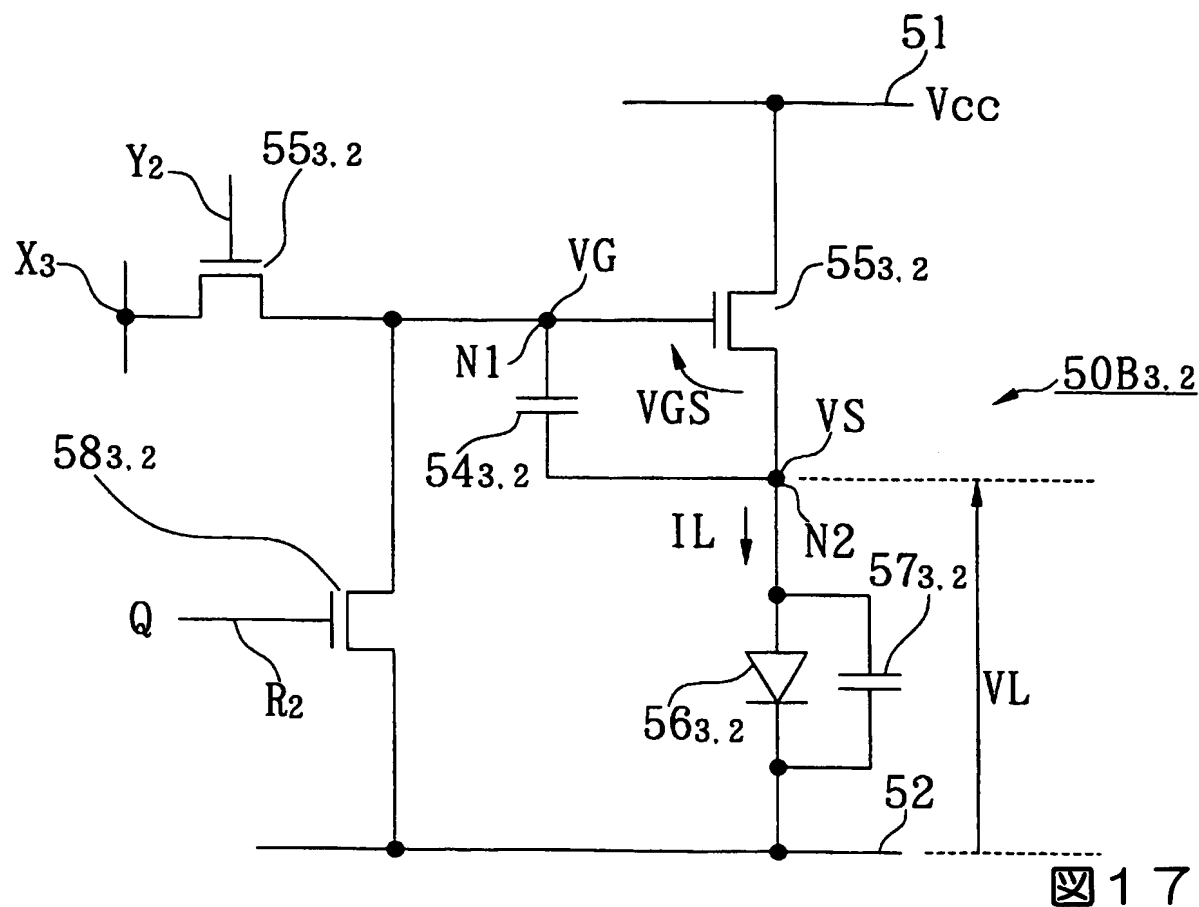


図 17

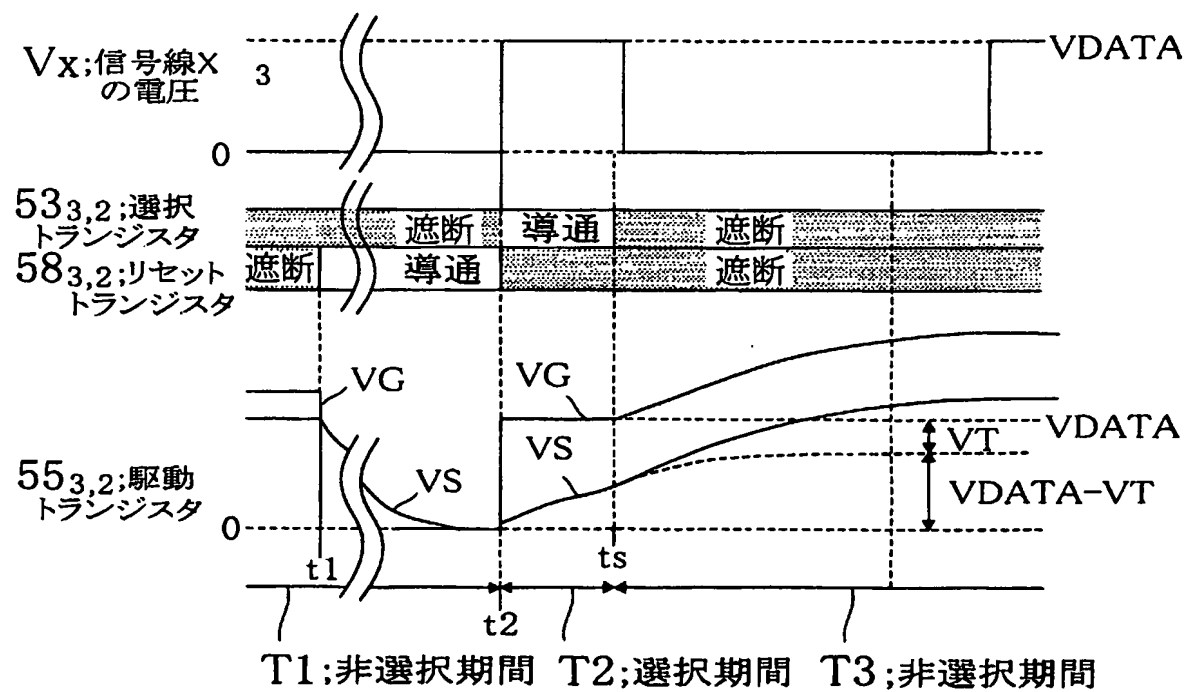


図 18

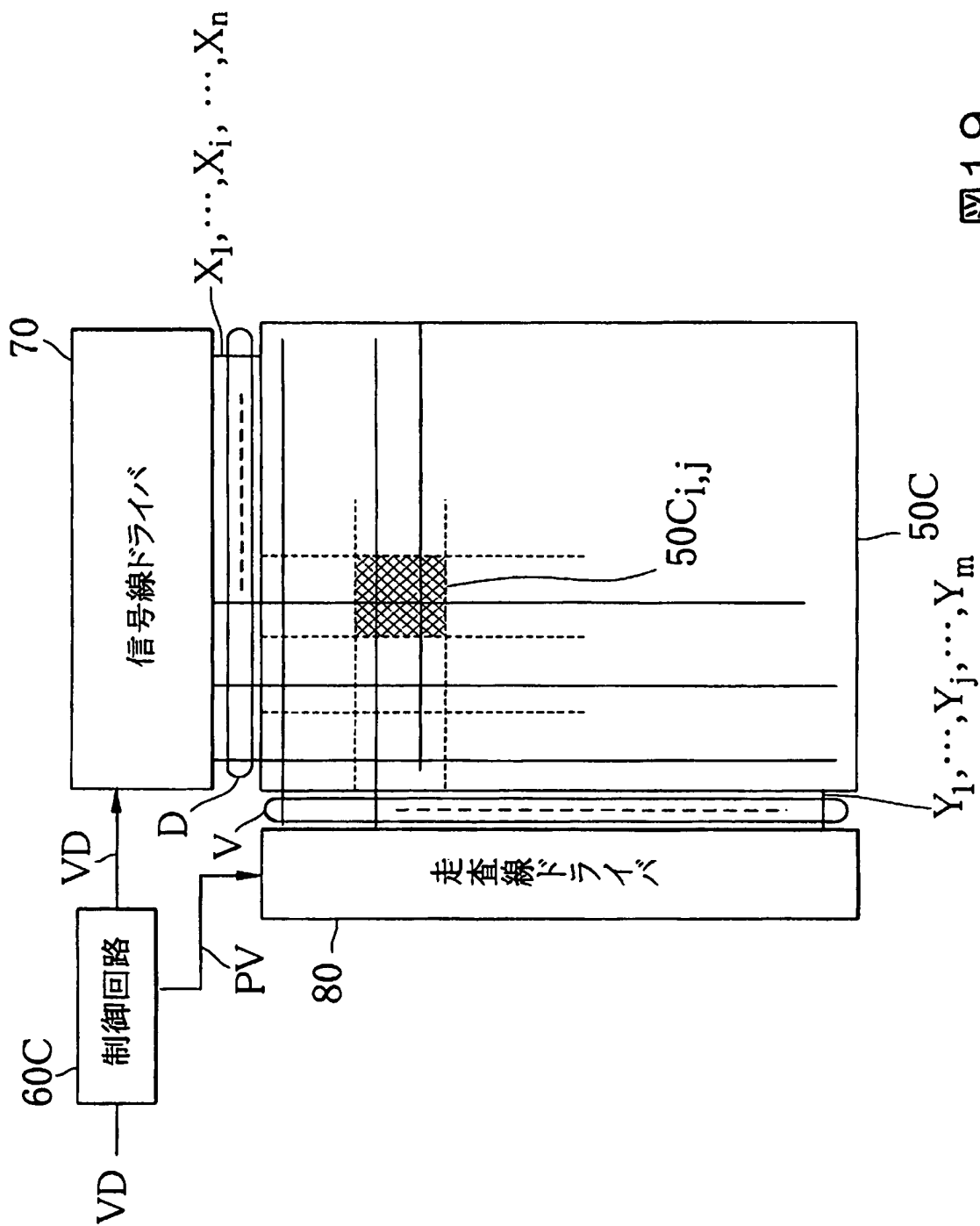


図19

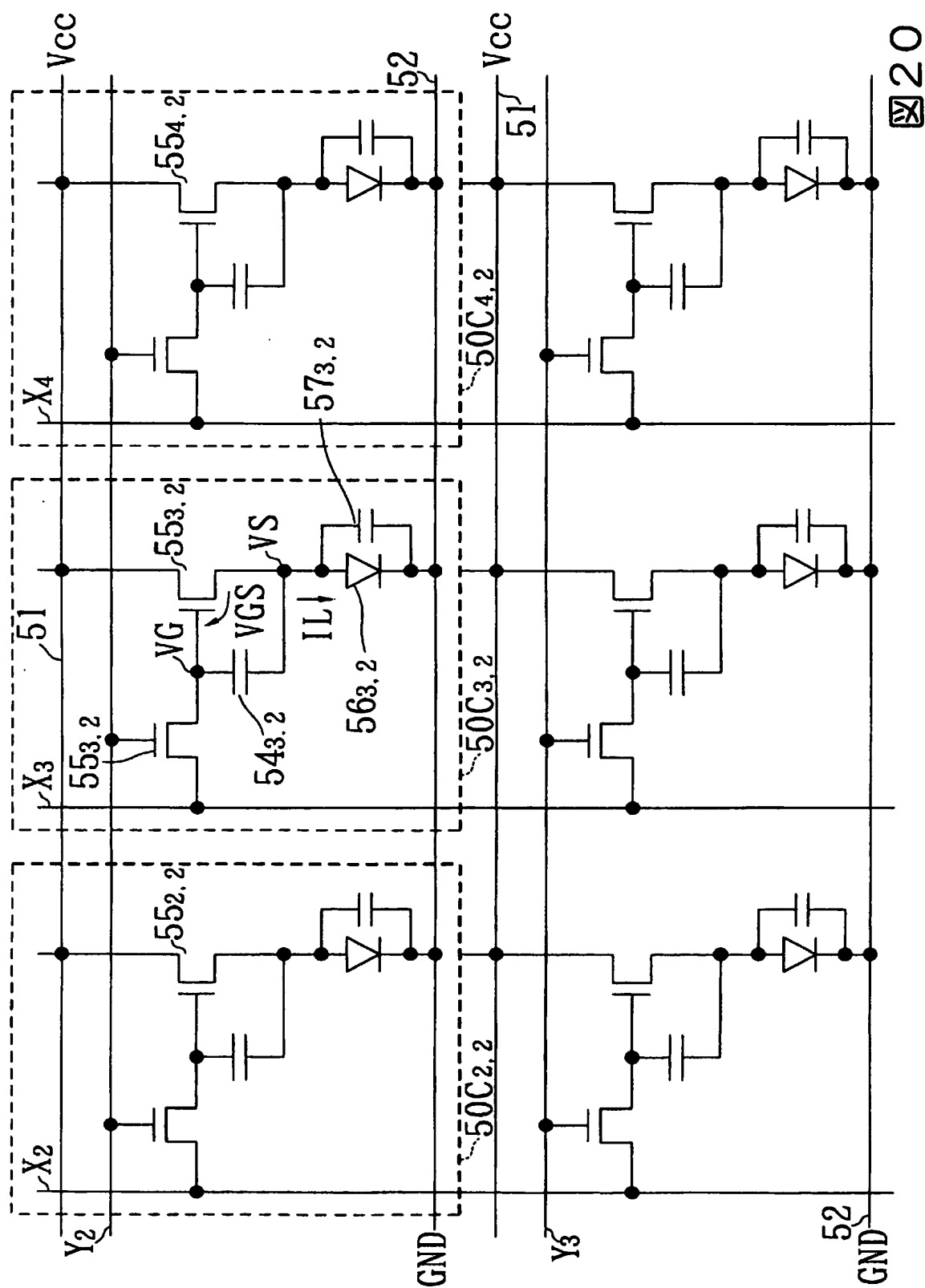


図 20

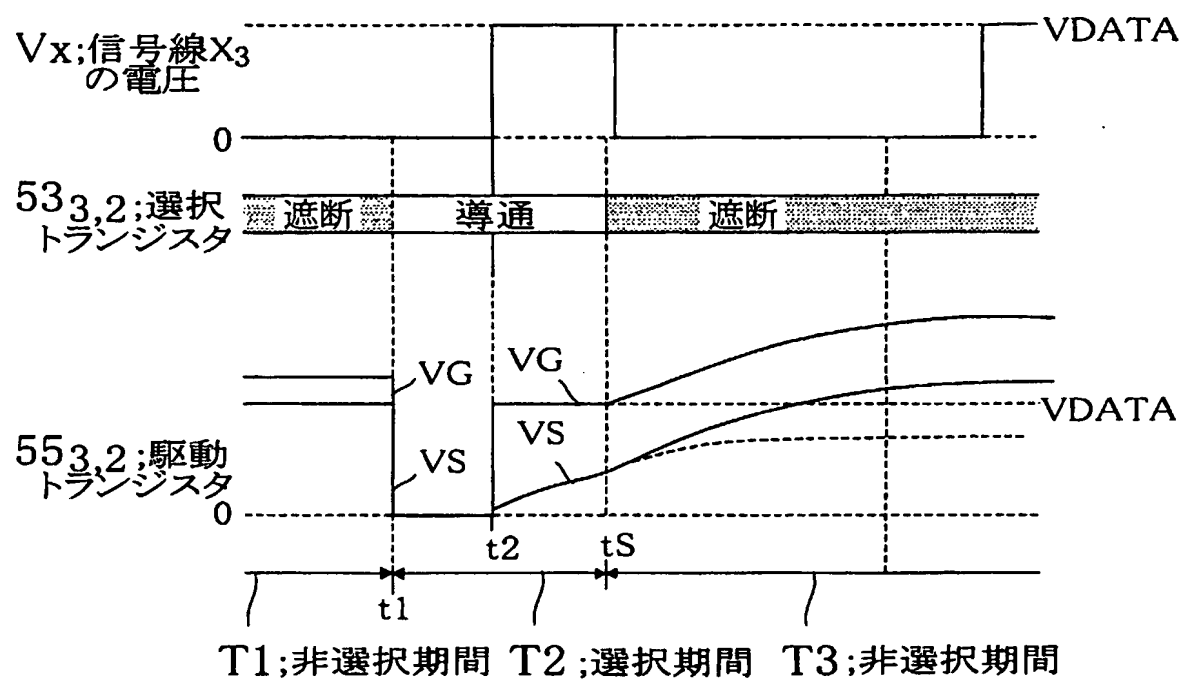


図 21

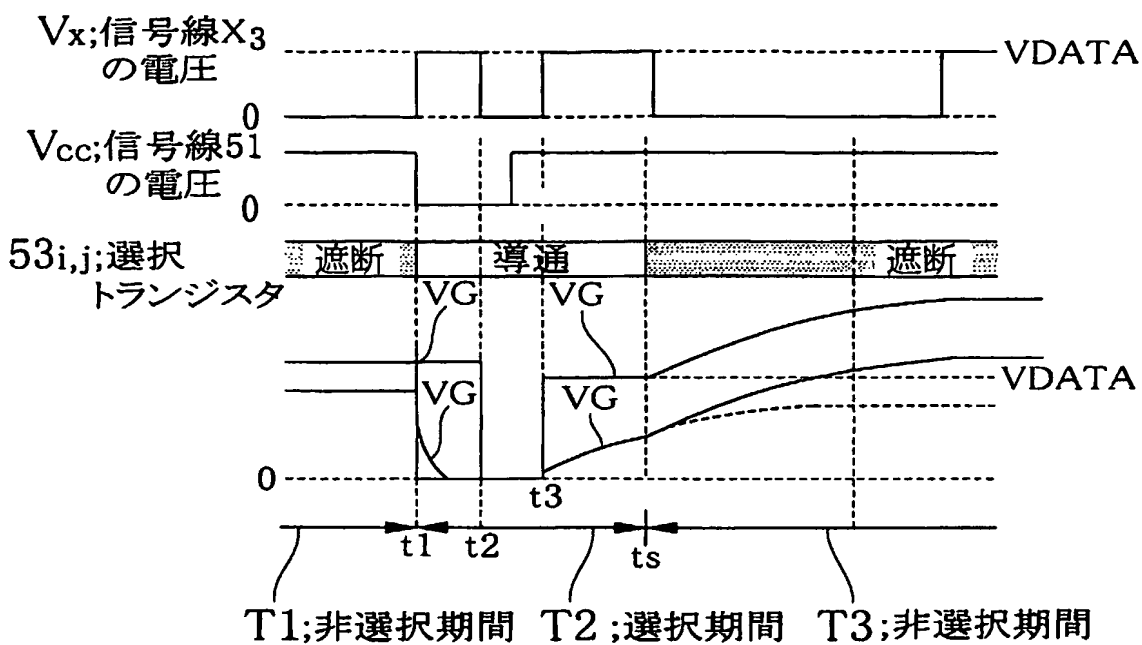


図 23

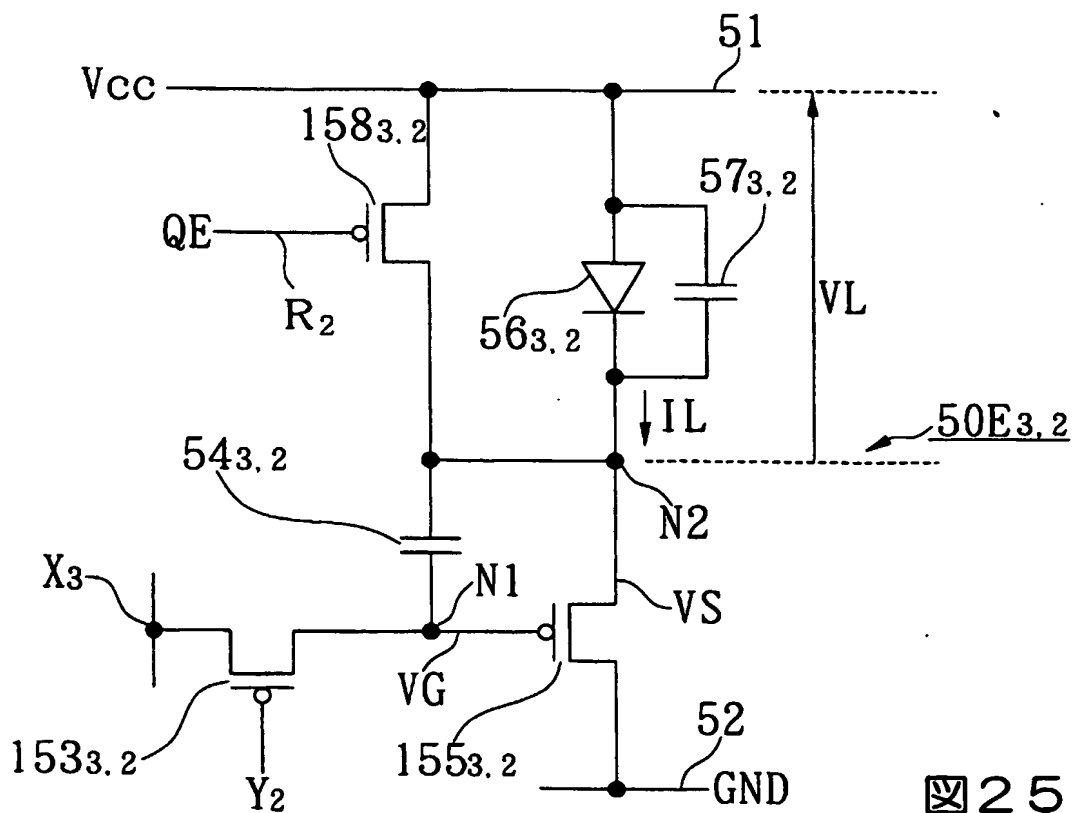


図 25

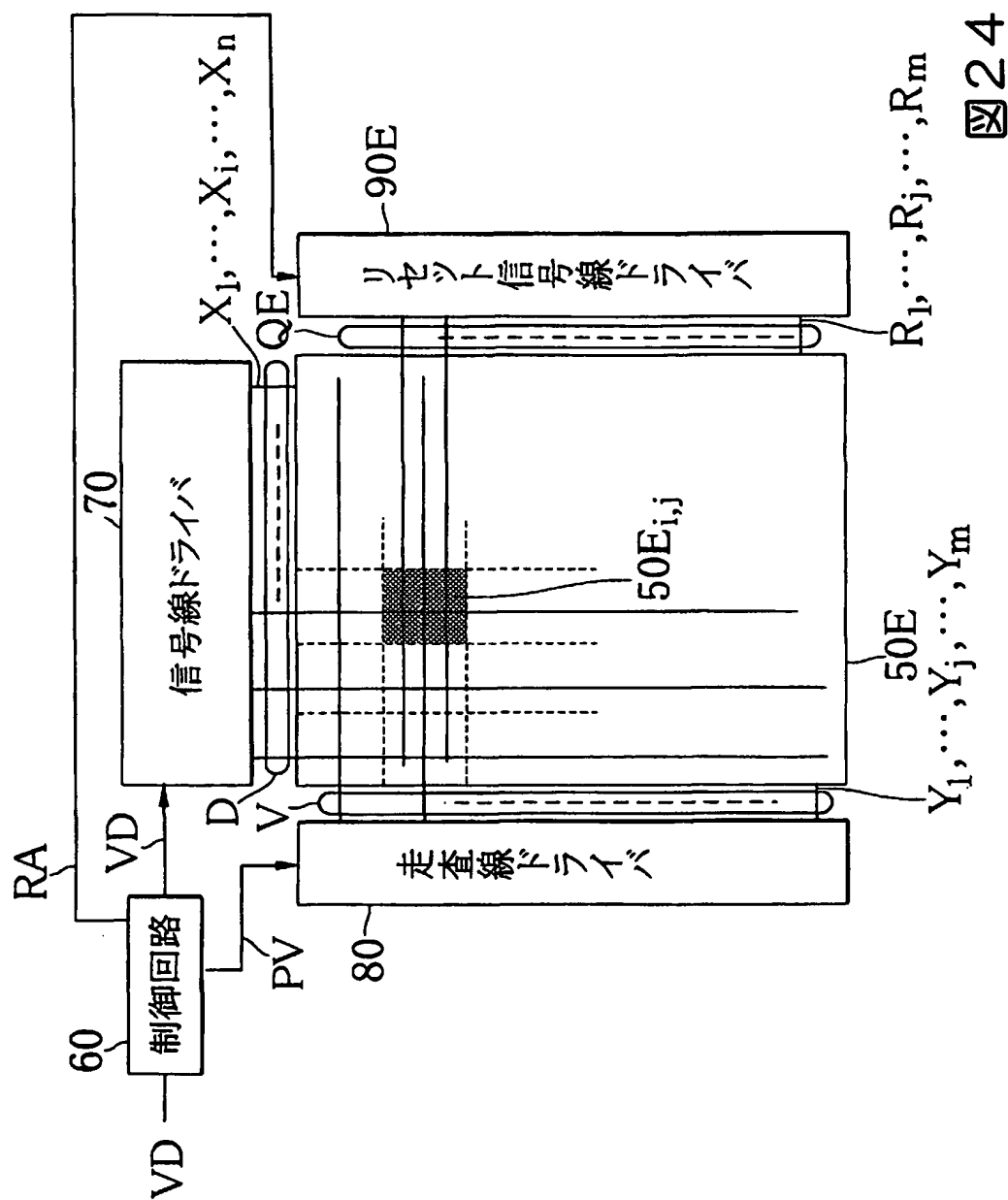


図24

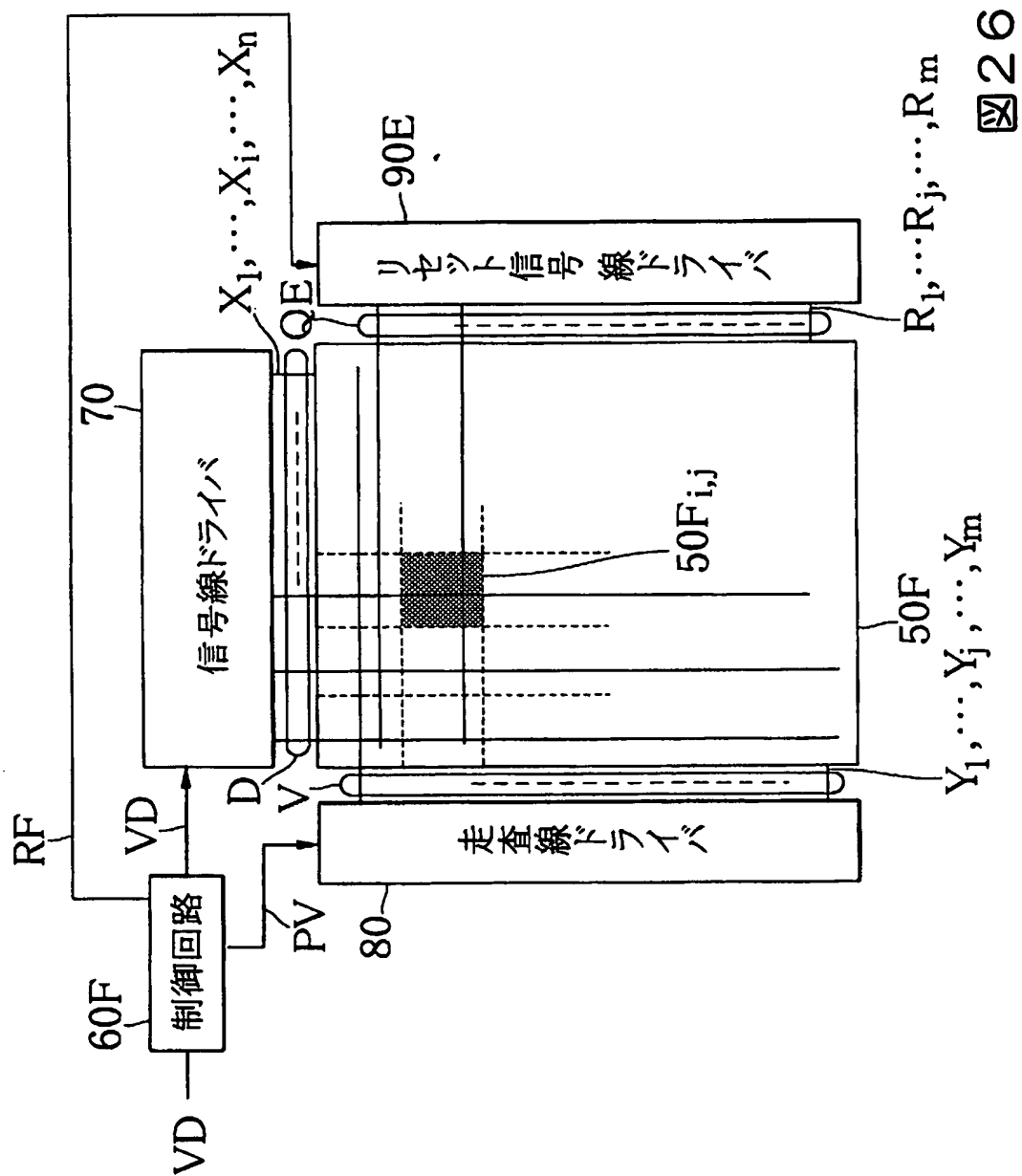


図 26

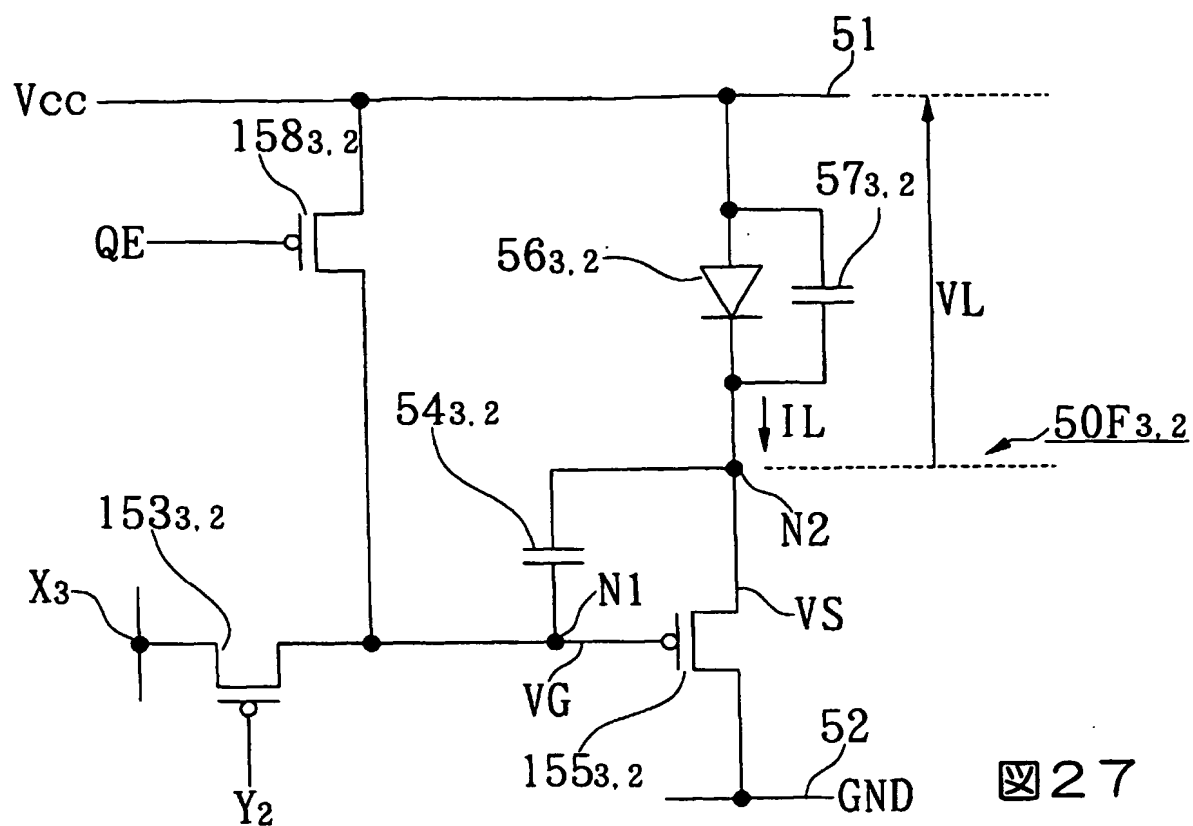


図 27

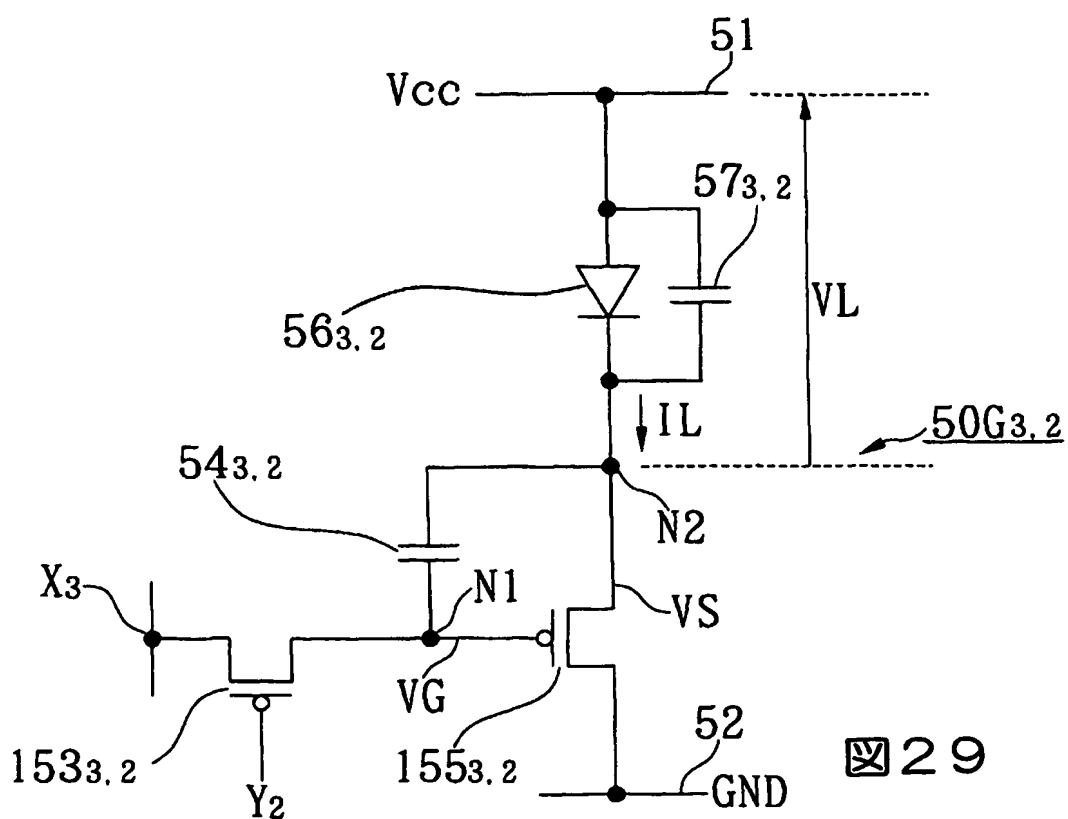


図 29

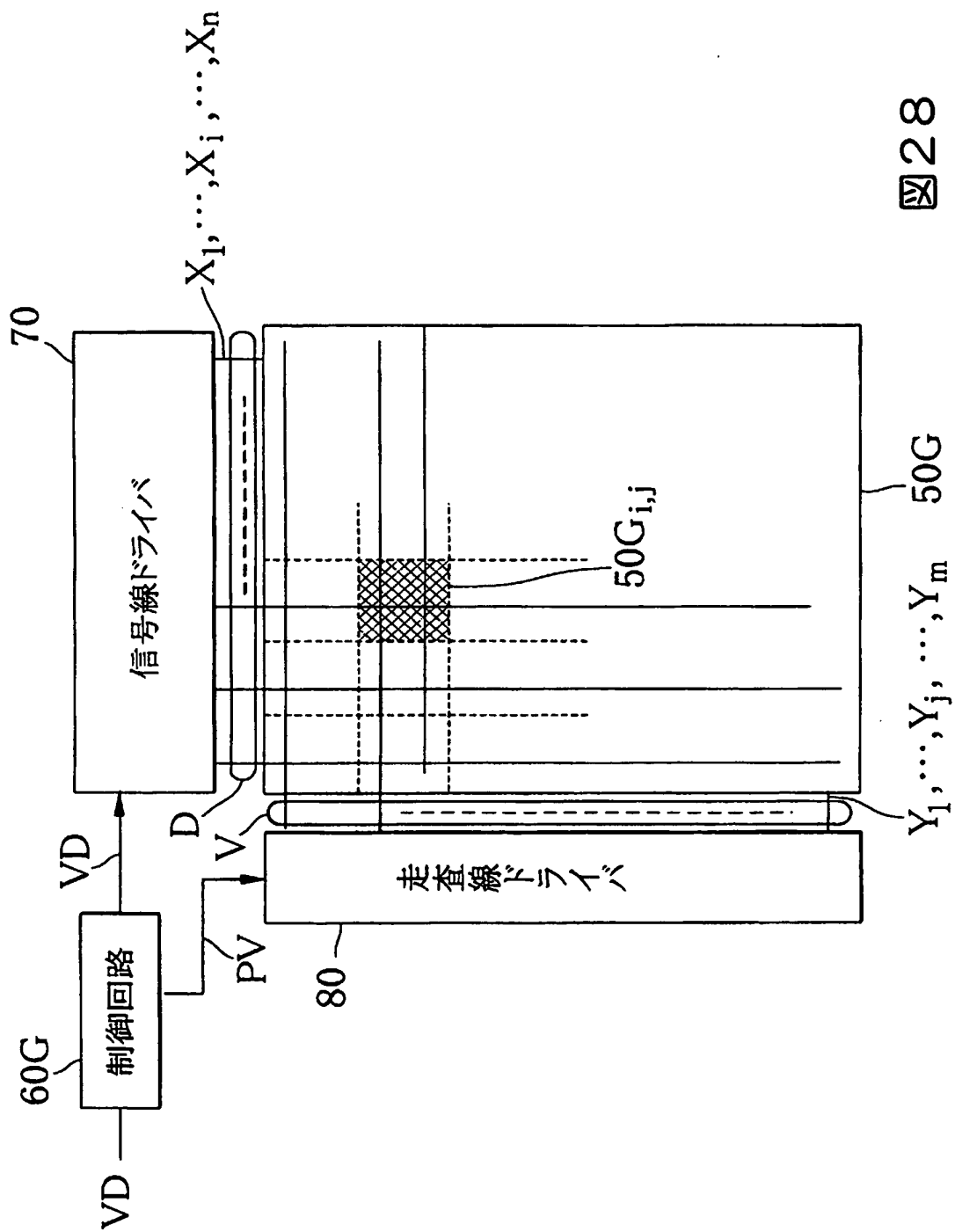


図28

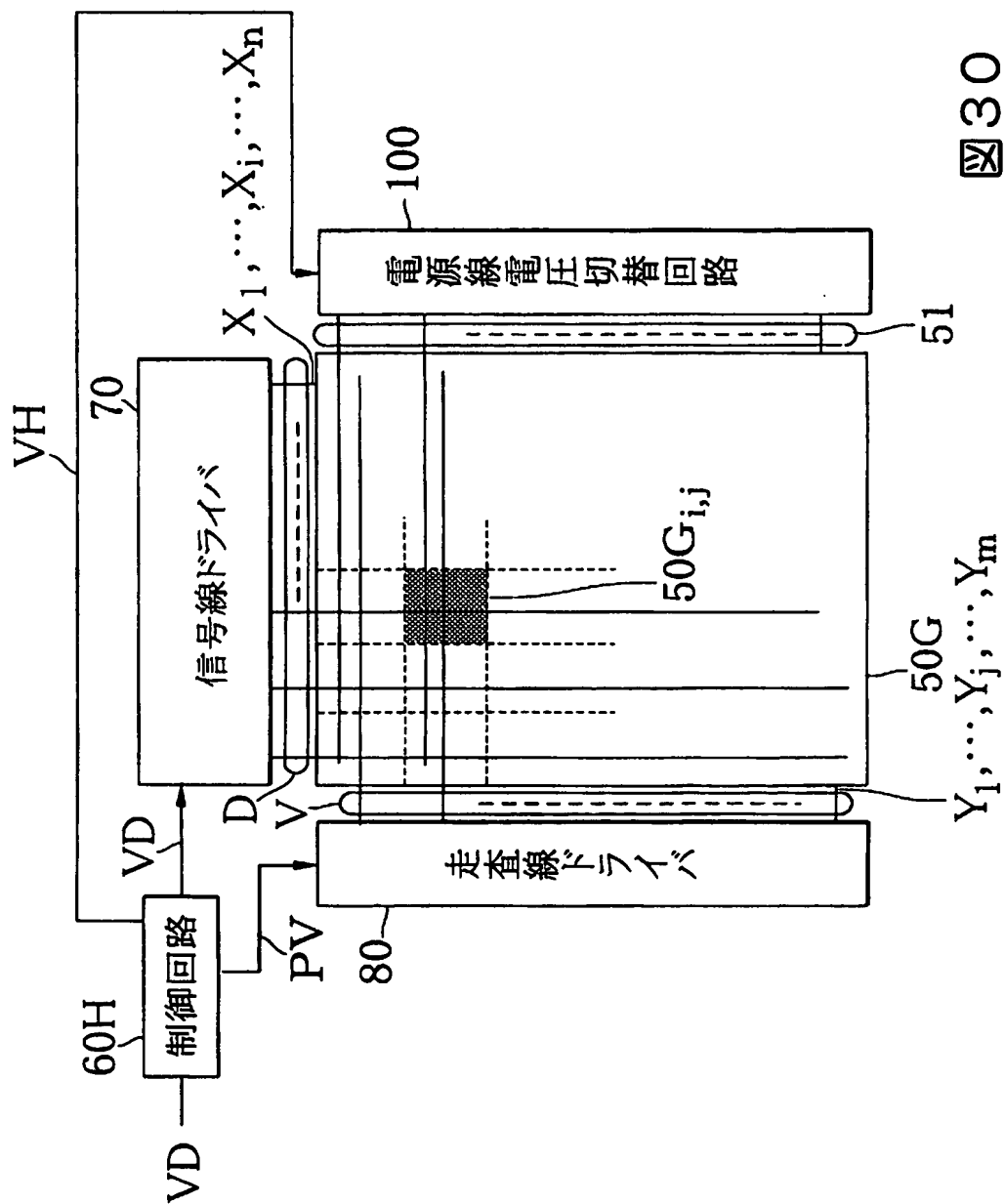
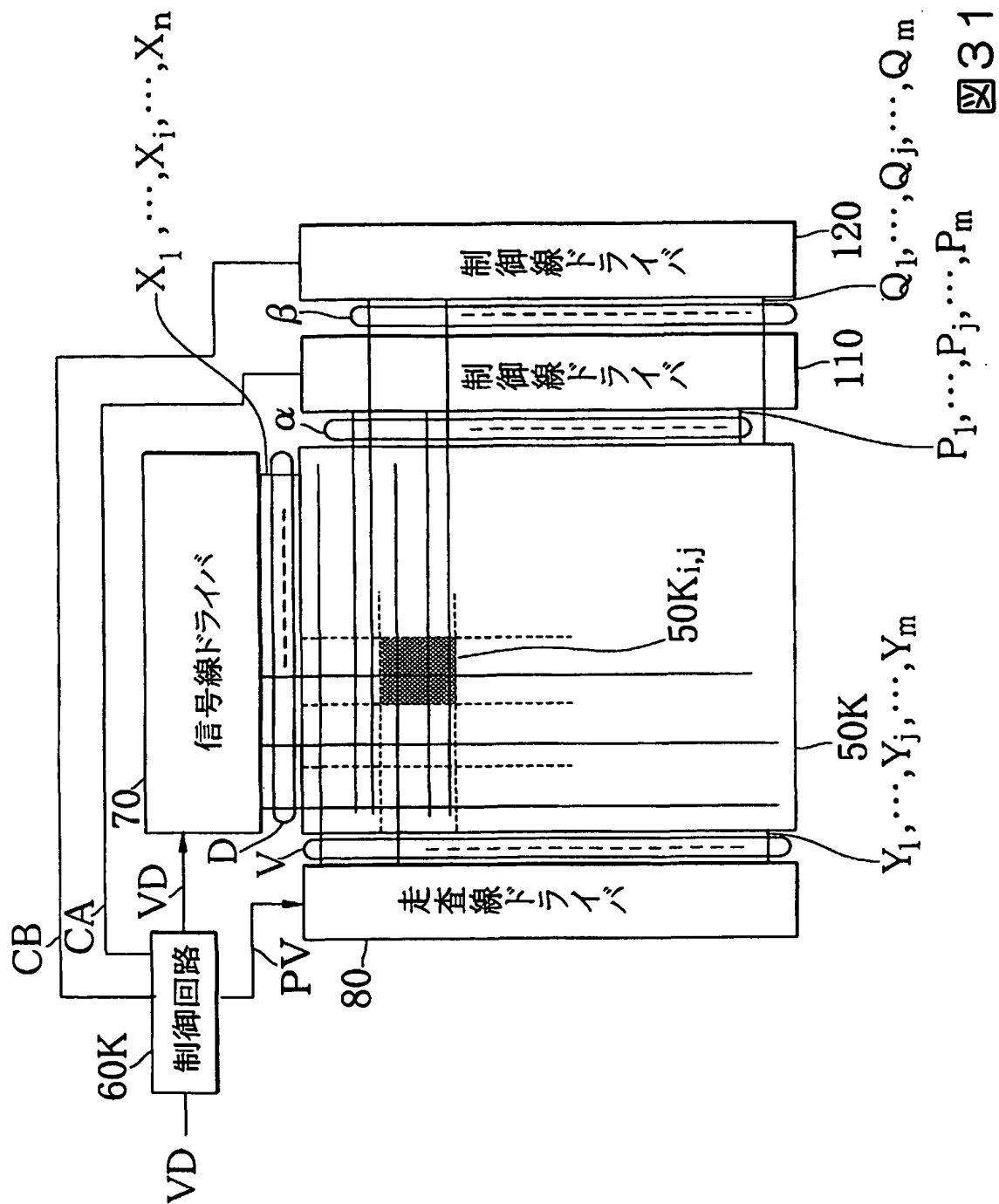
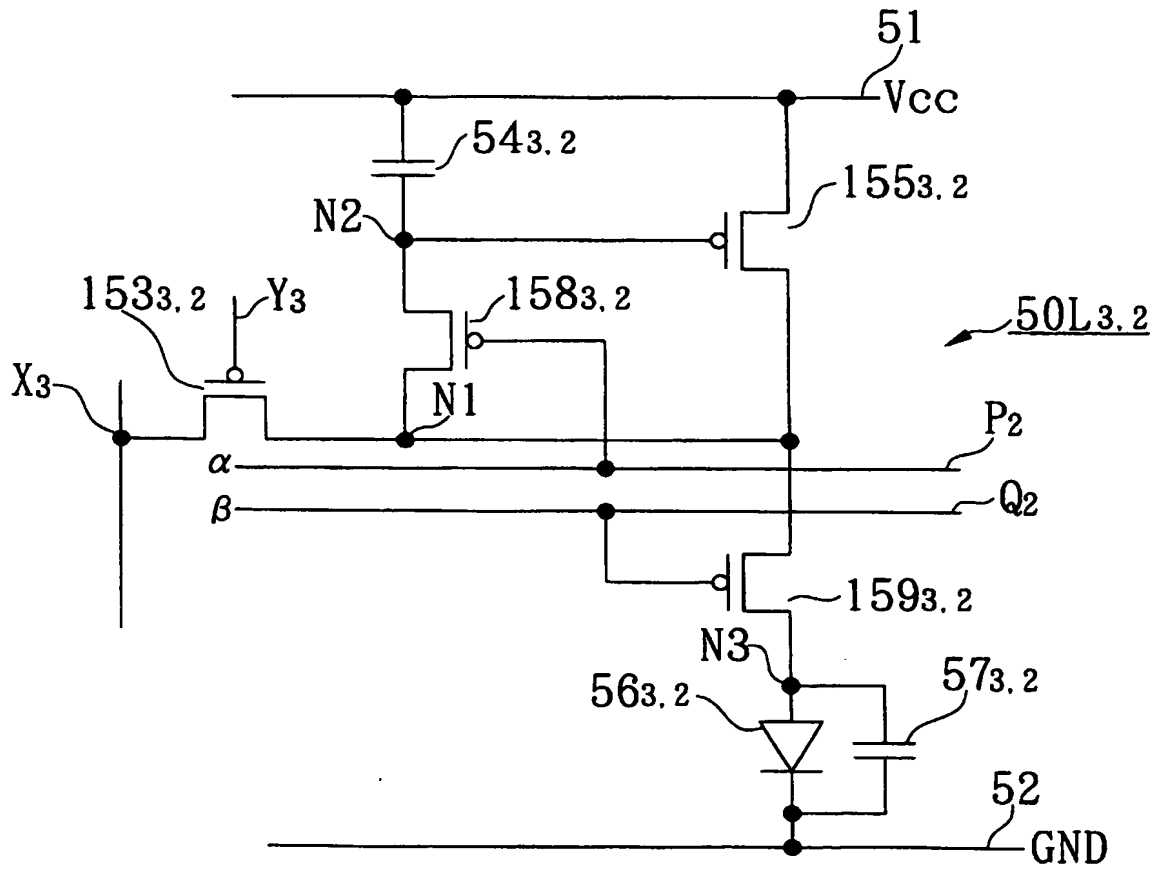
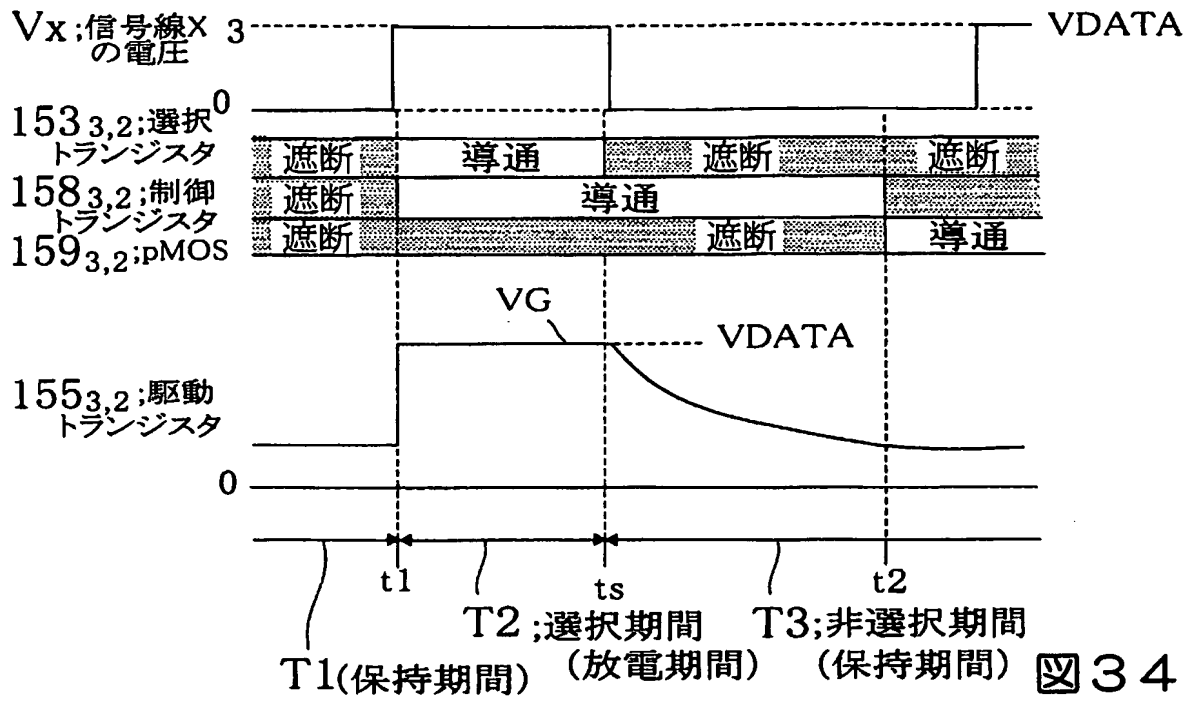
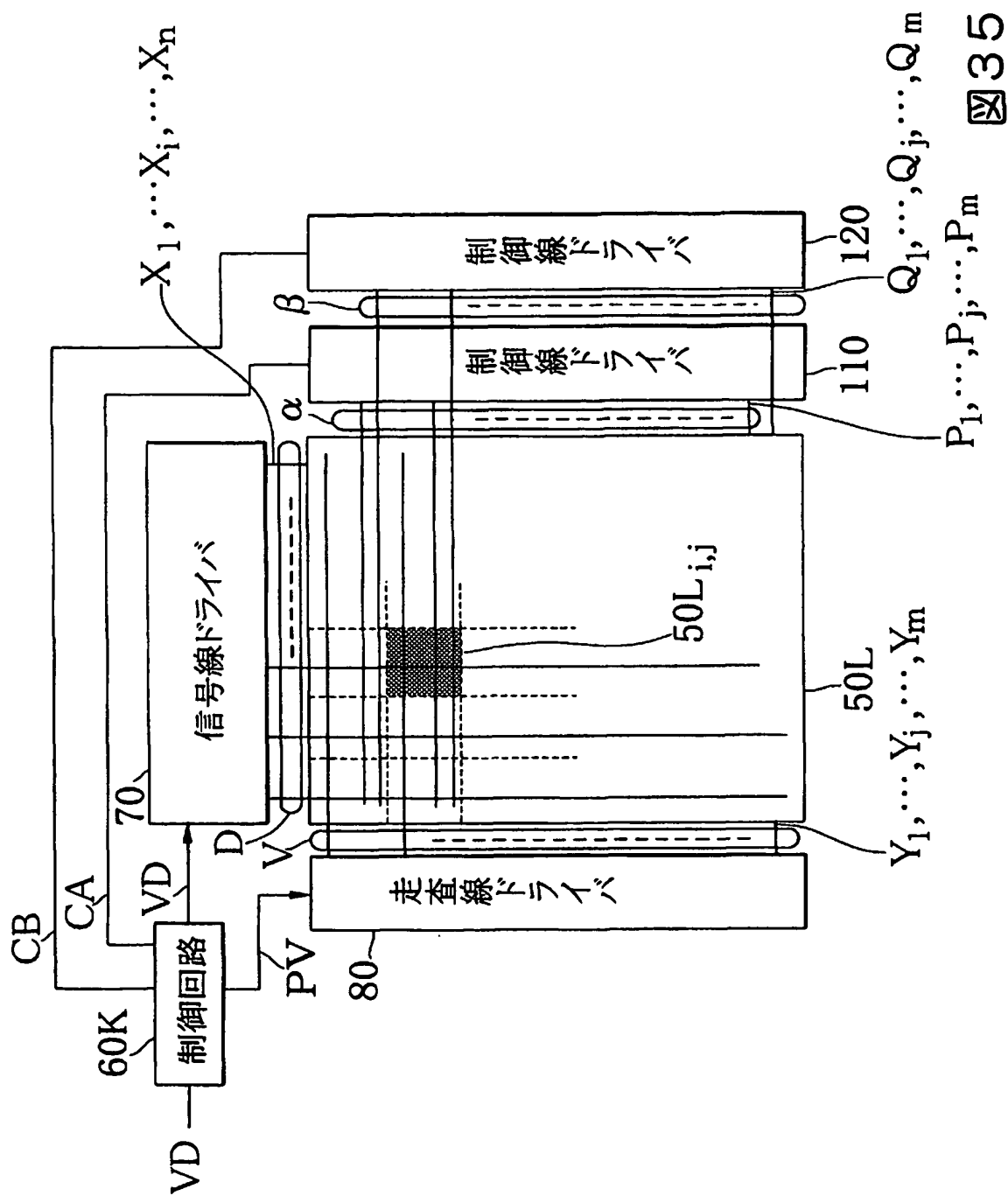


図30







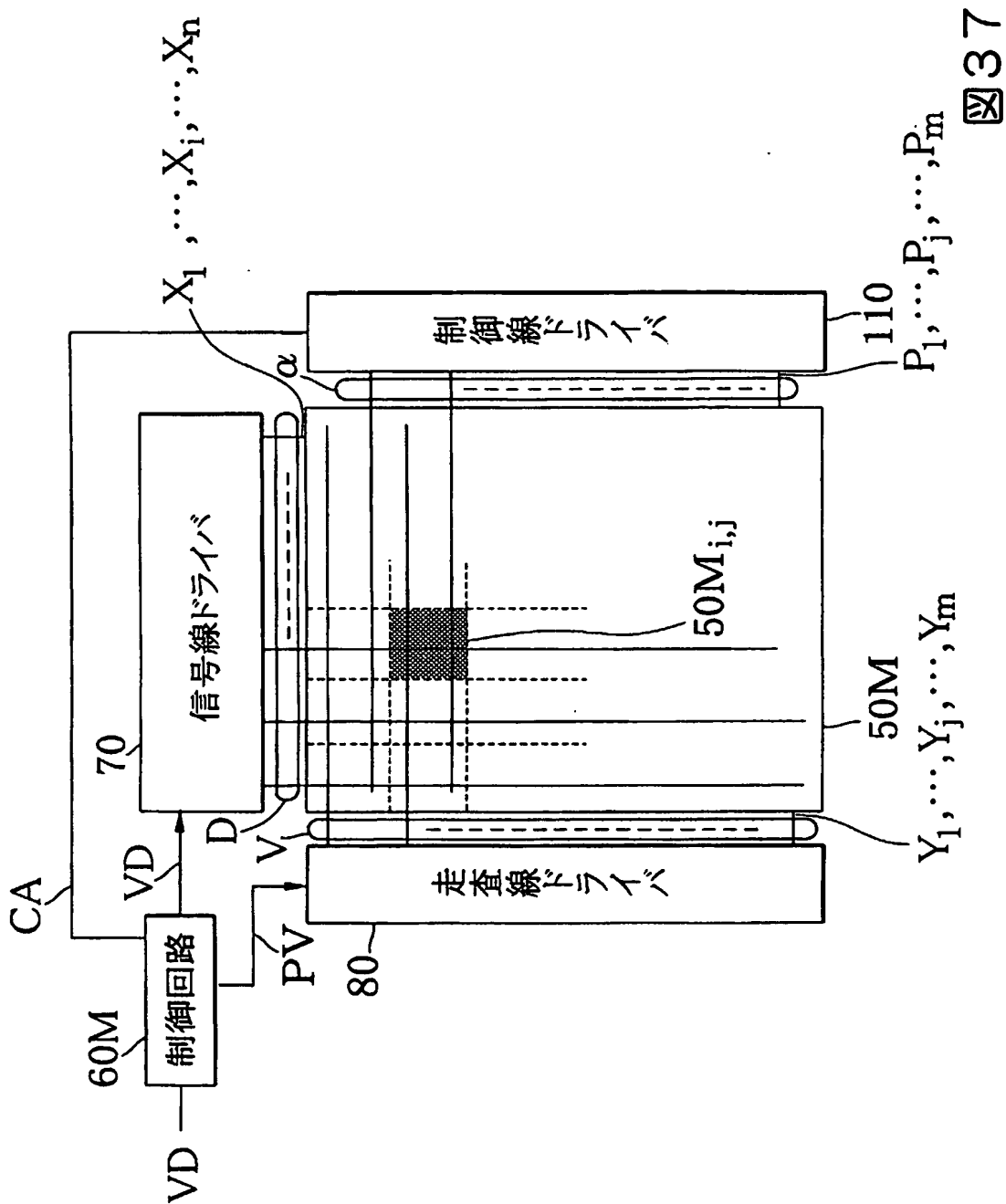


図37

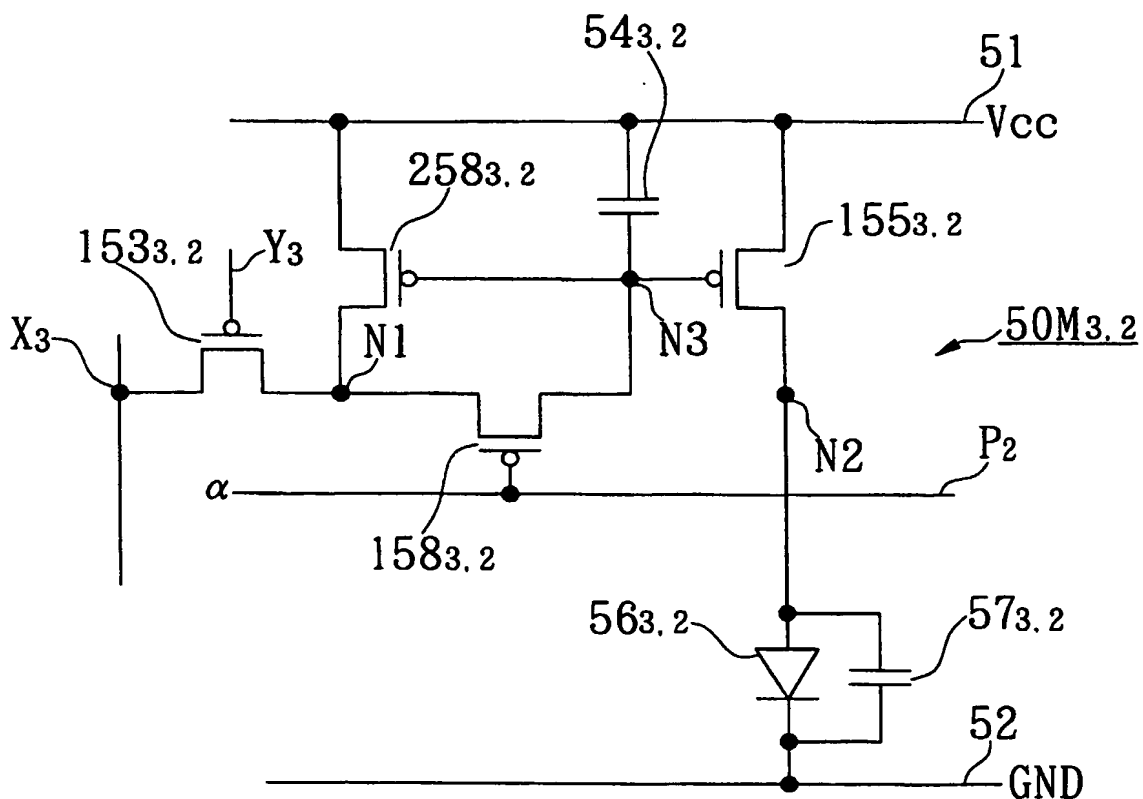


図 38

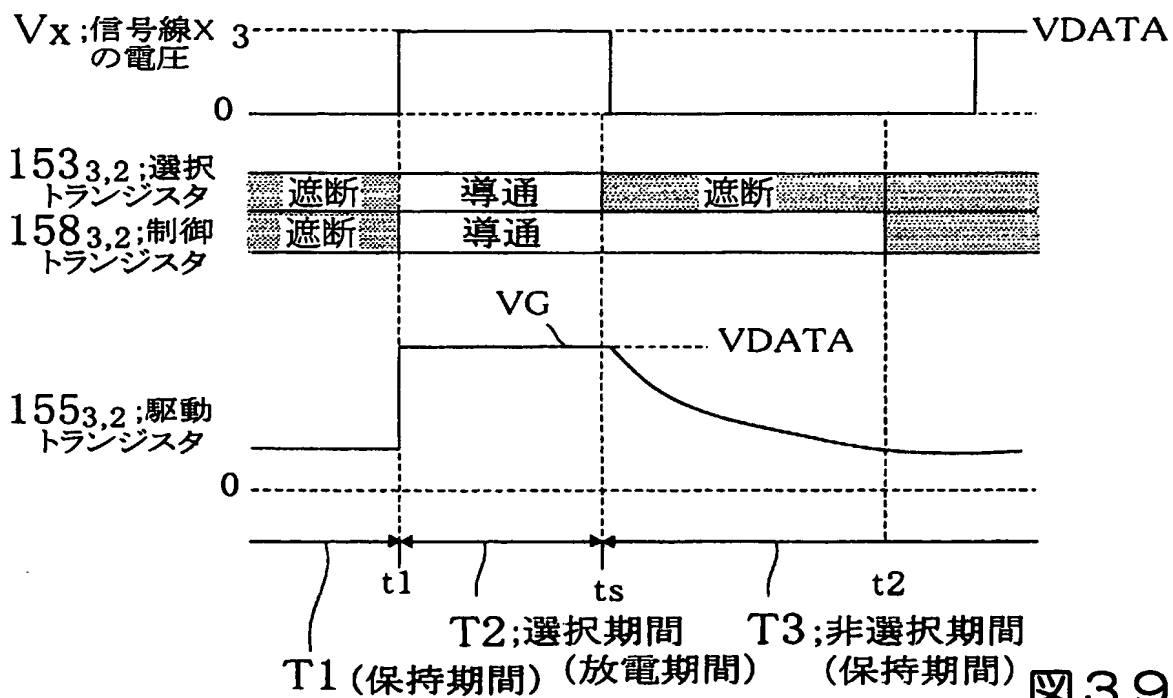
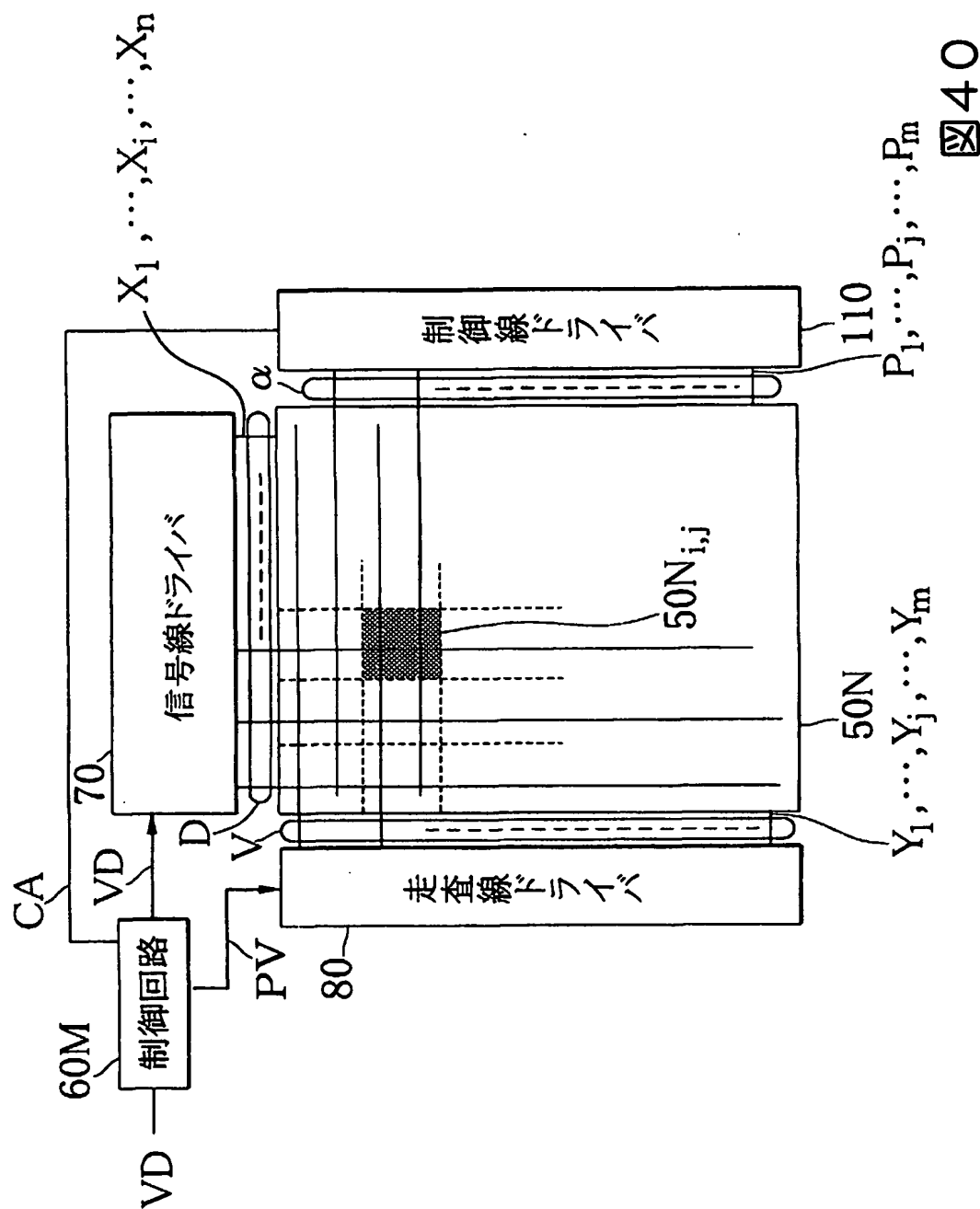


図 39



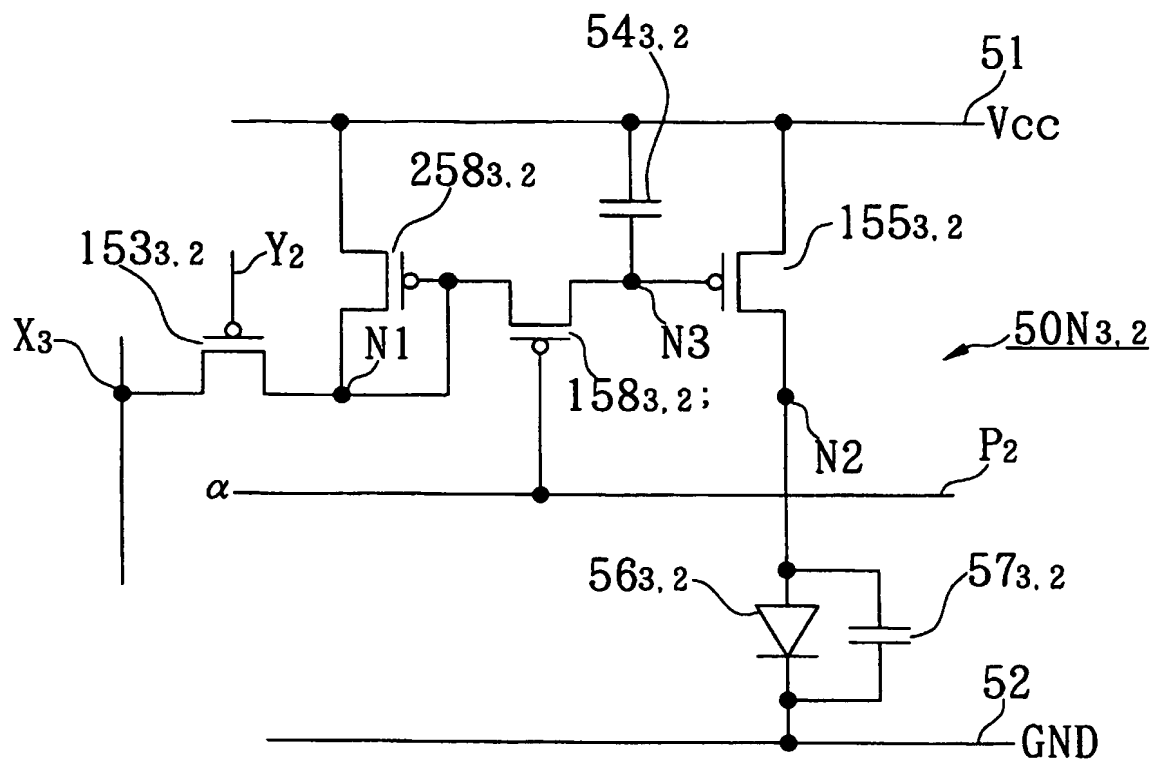


図 4 1

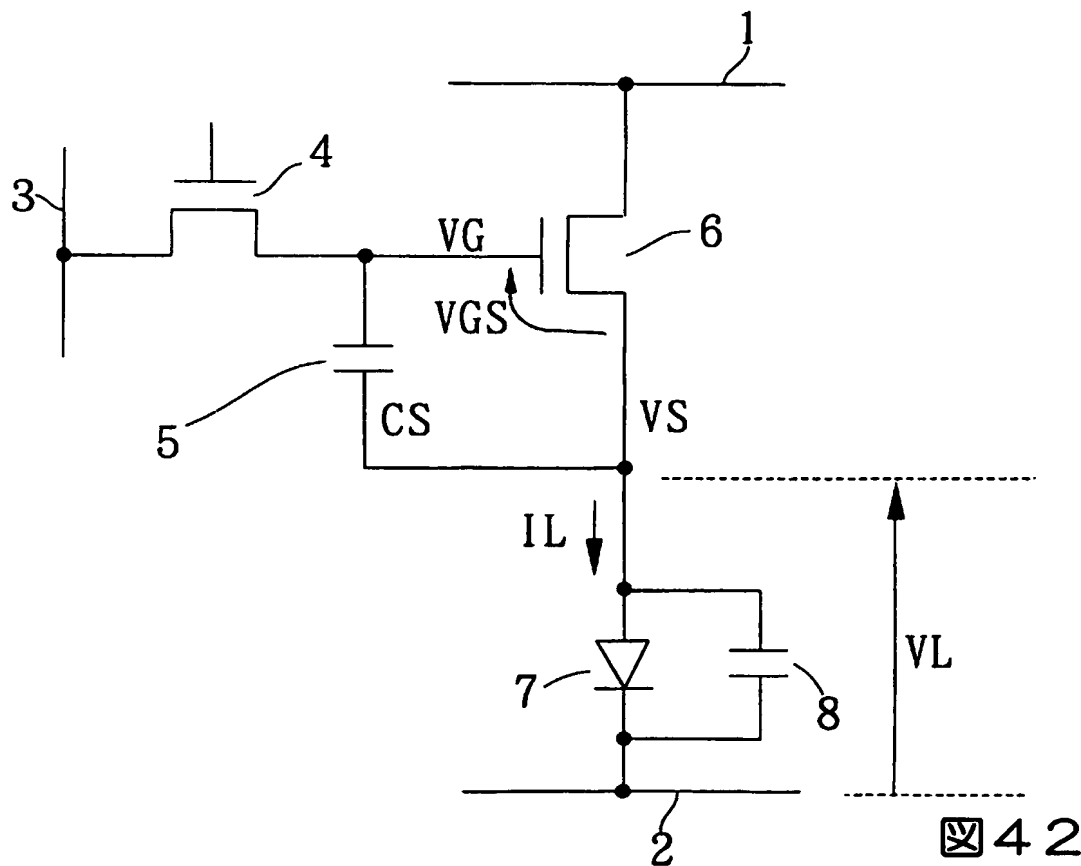


図 4 2

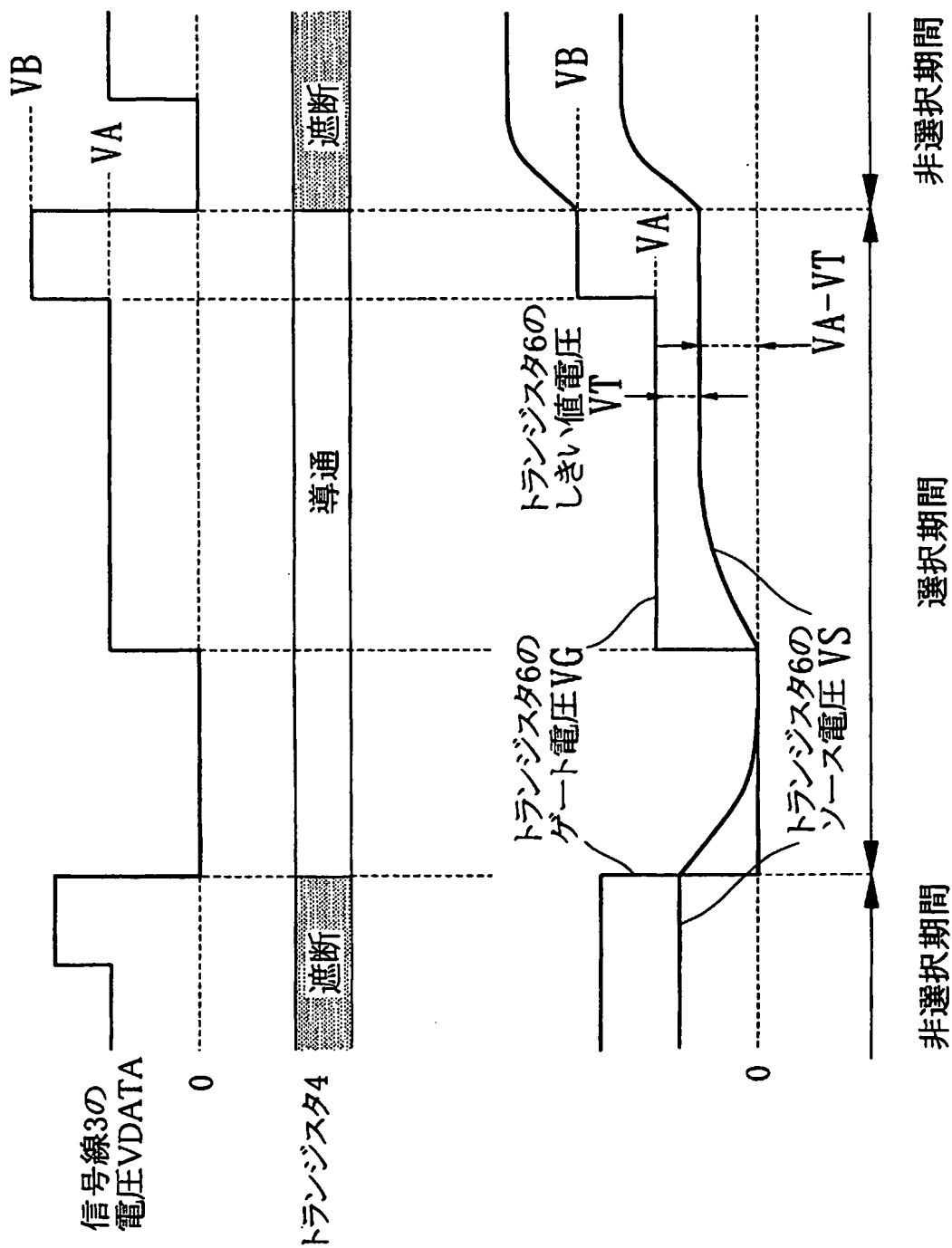
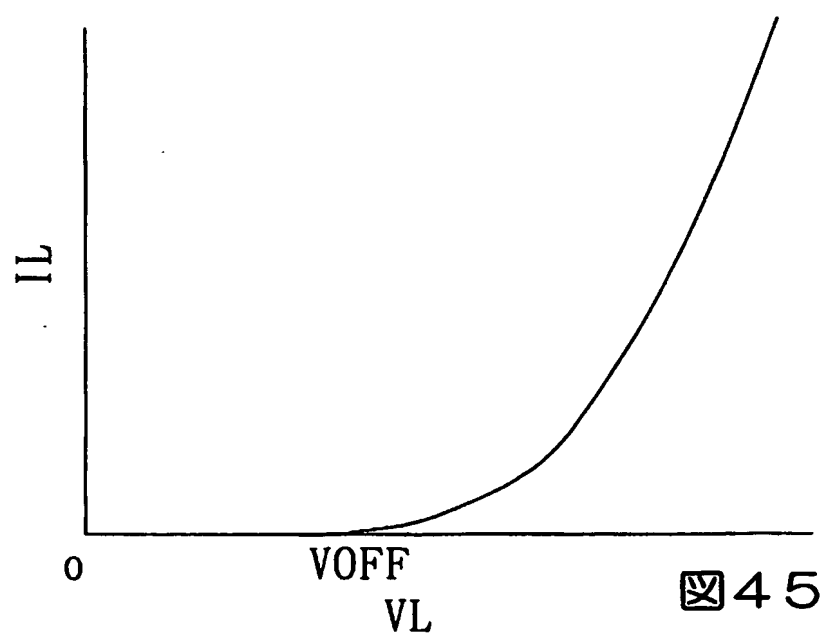
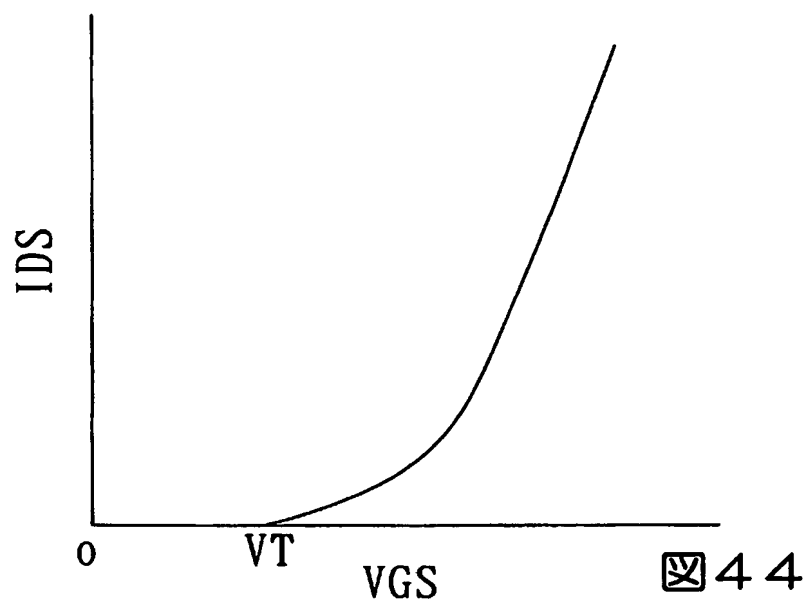


図 43



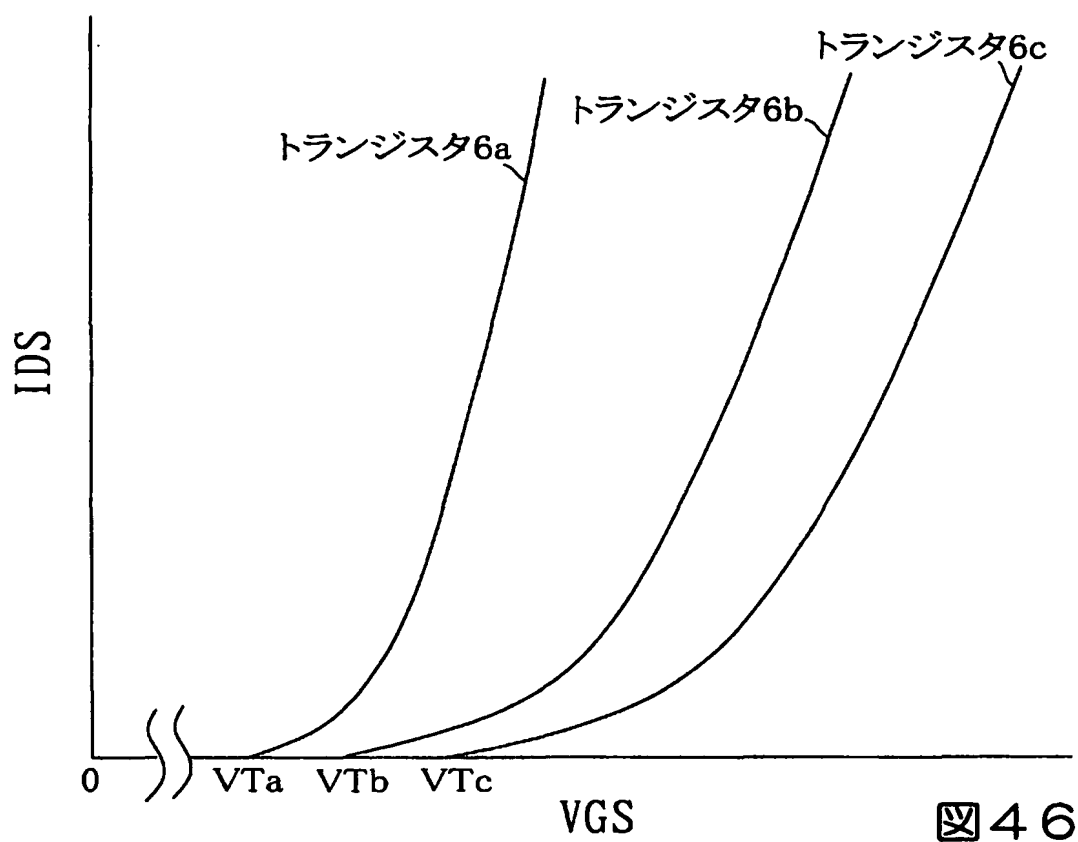


図 46

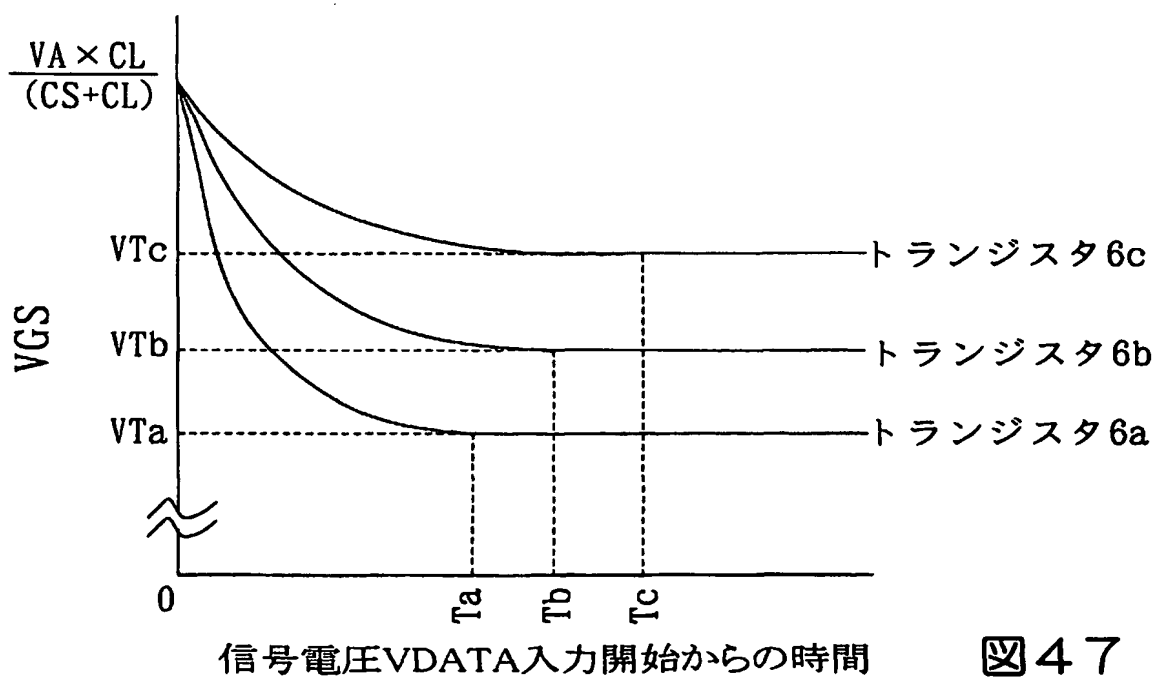


図 47

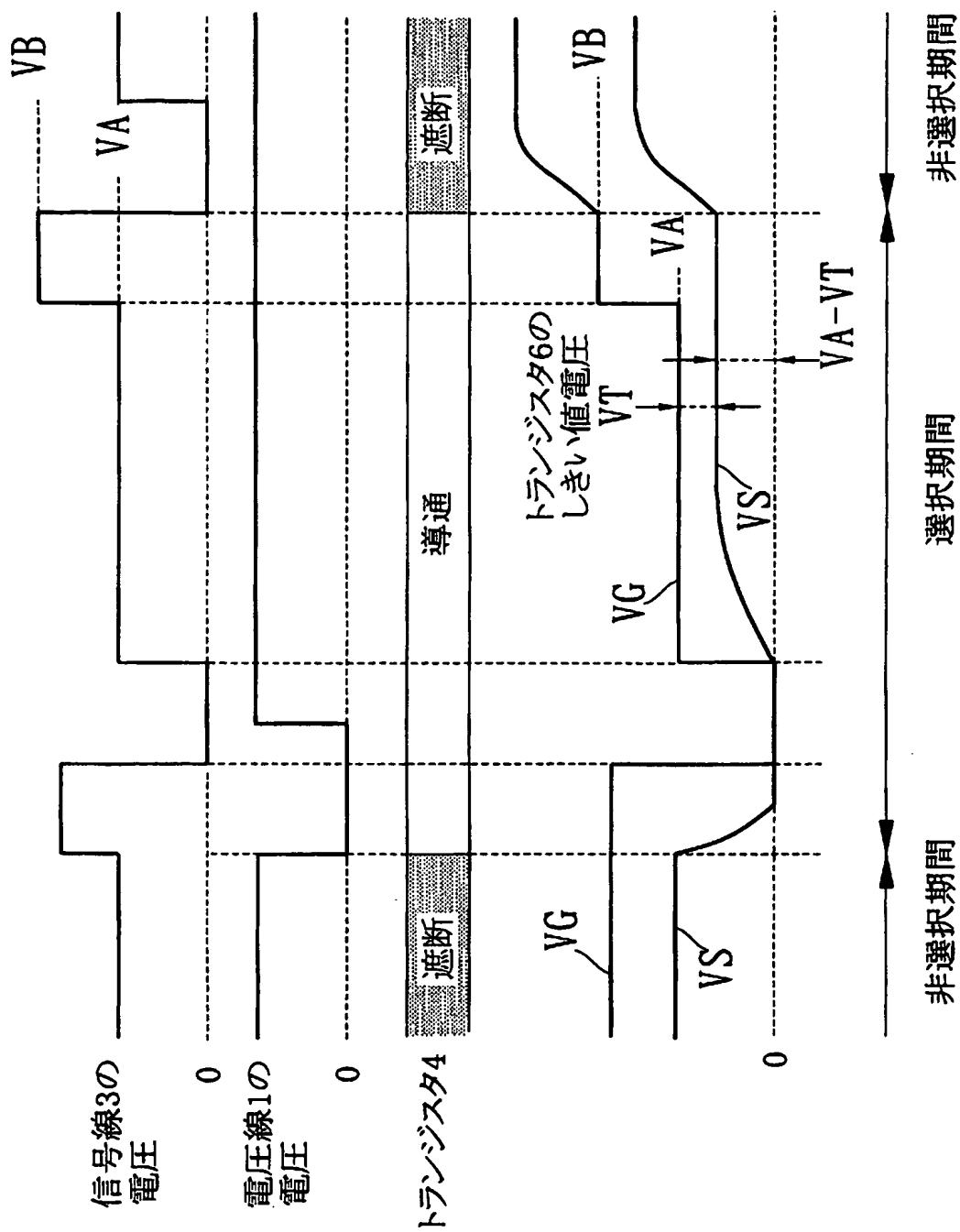


図48

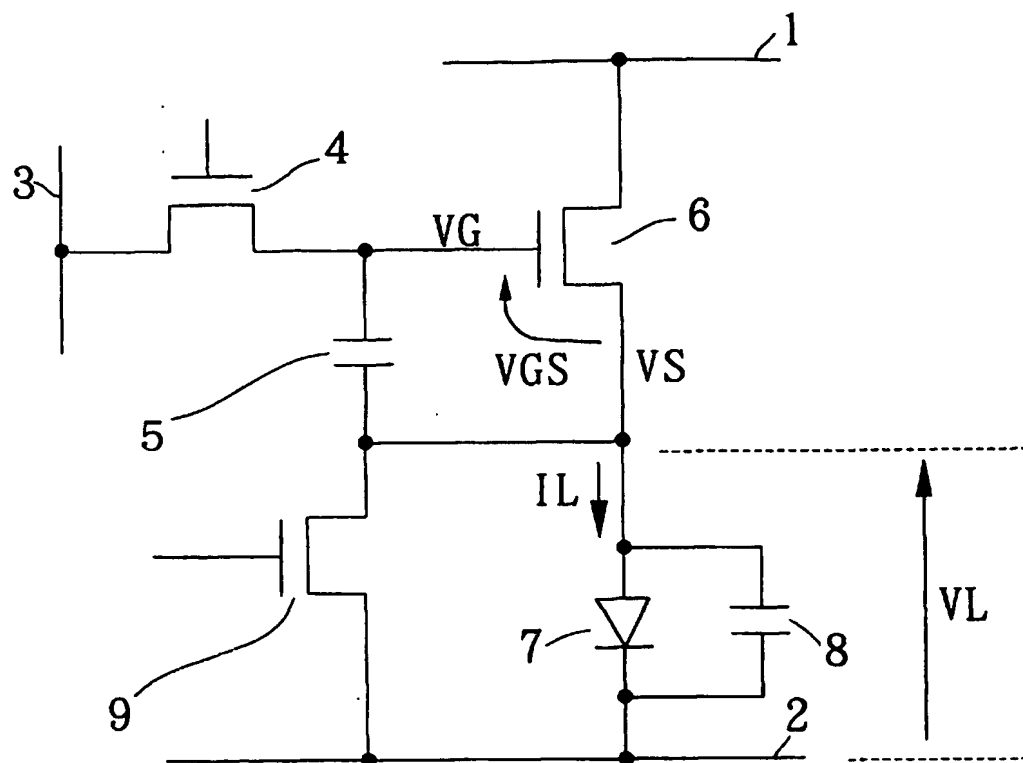


図 49

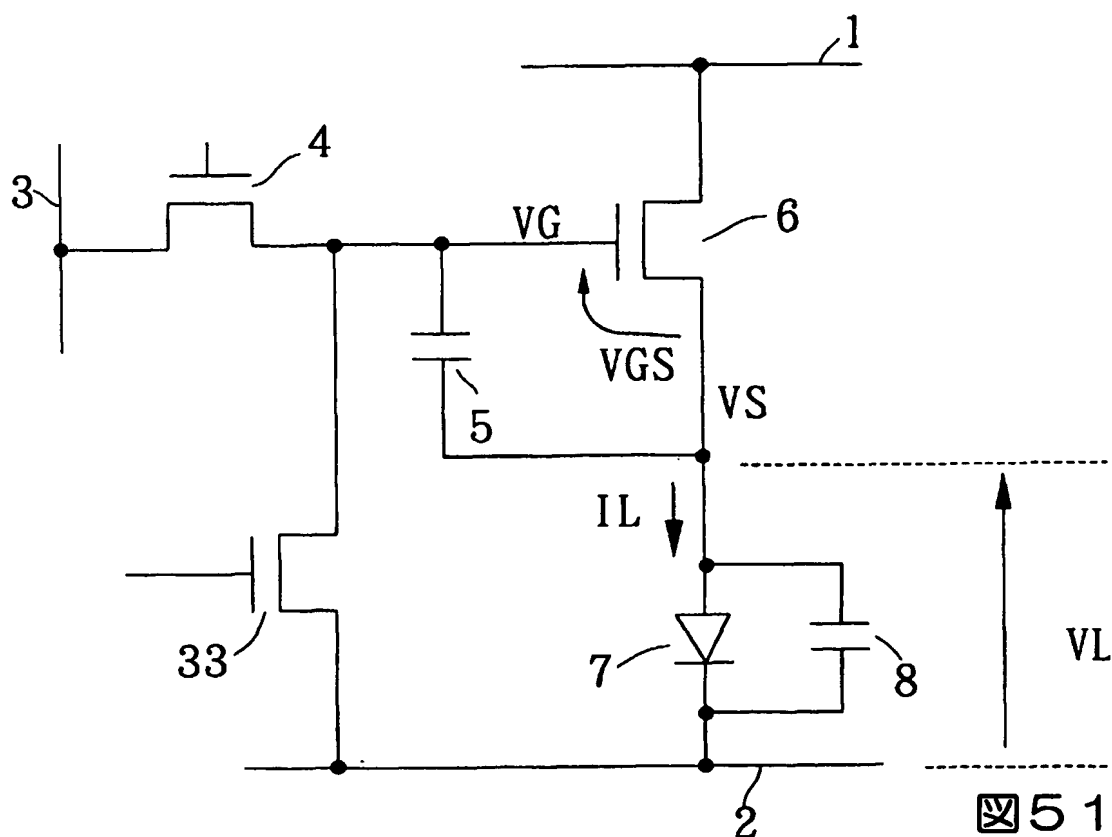


図 51

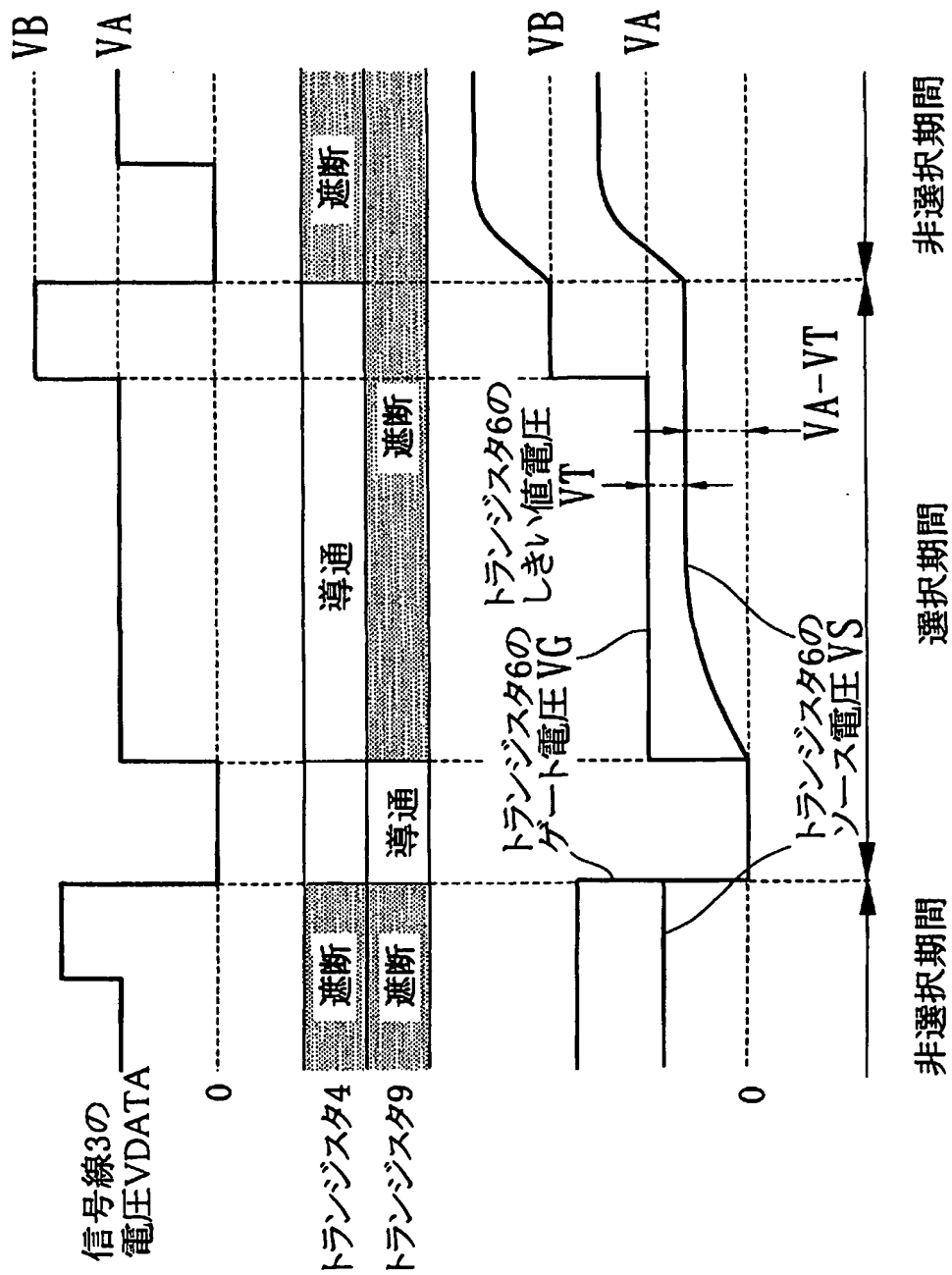


図50

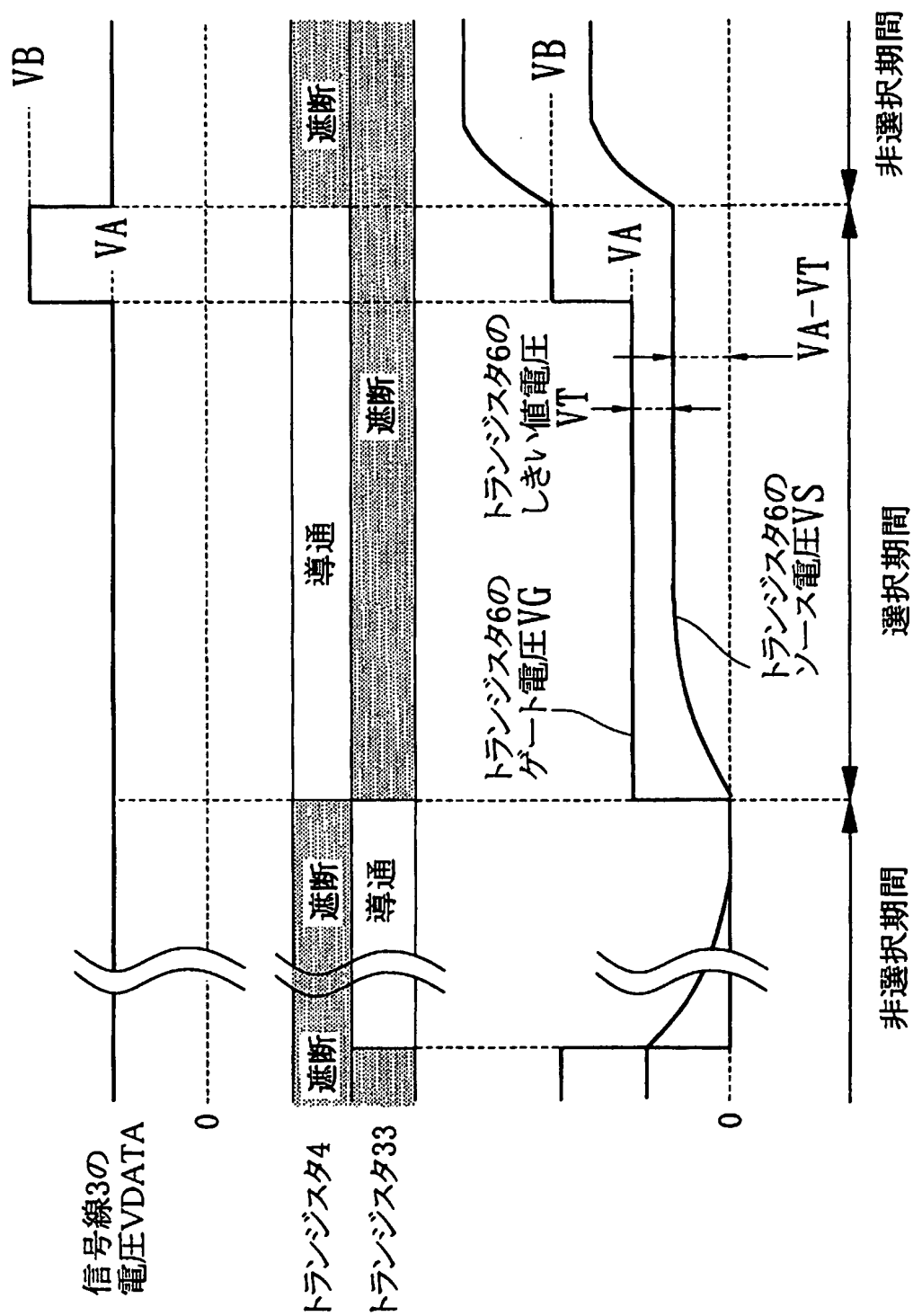


図52

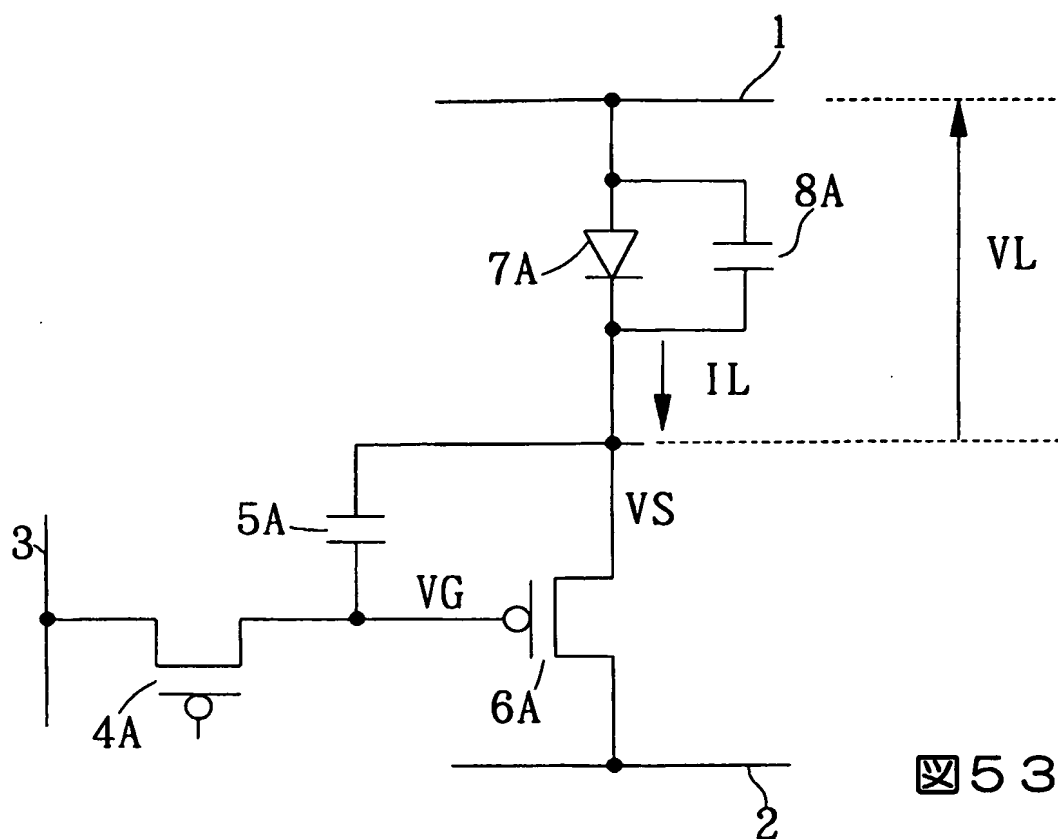


図 5 3

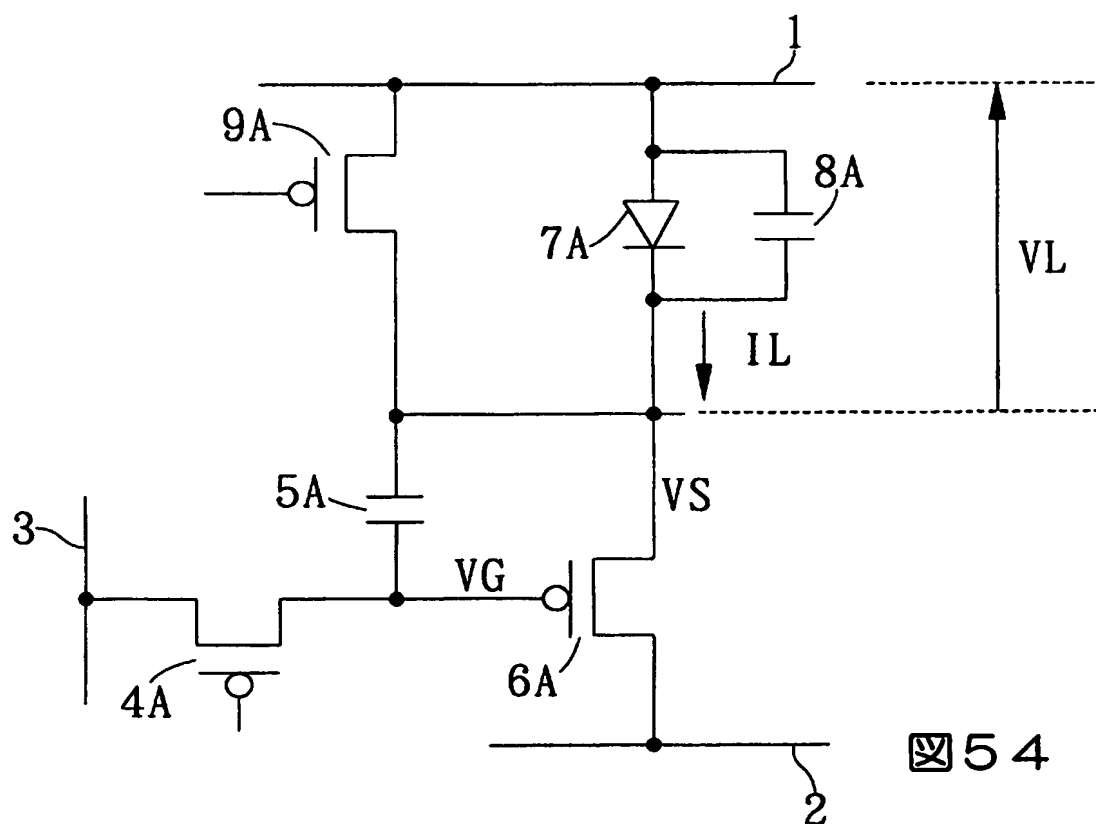


図 5 4

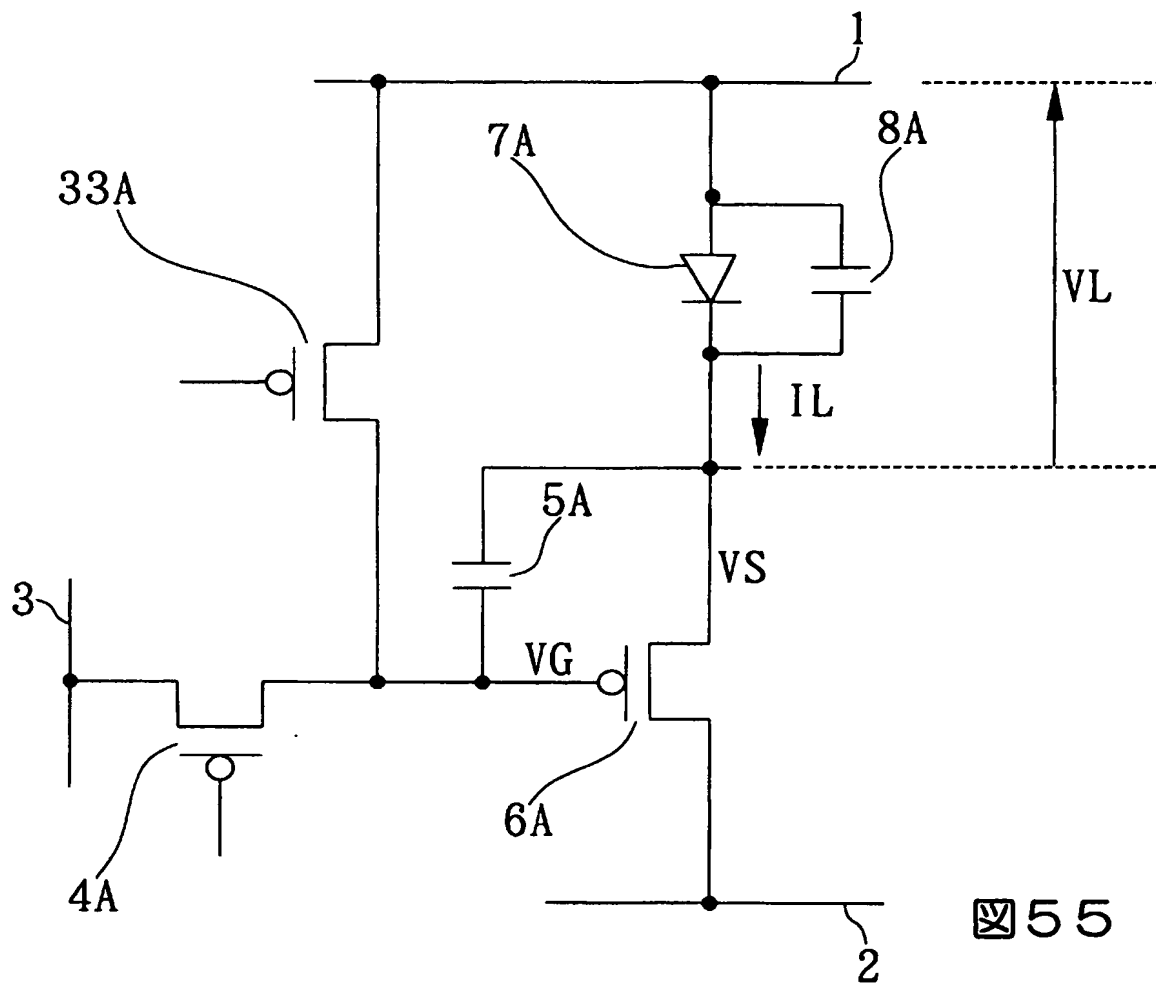


図 55

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/02578

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09G3/30, 3/20, H05B33/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09G3/30, 3/20, H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-318627 A (Semiconductor Energy Laboratory Co., Ltd.), 16 November, 2001 (16.11.01), Par. Nos. [0029] to [0034]; Fig. 18 & US 2001/0038098 A1	2-5, 8, 15-19, 21
A	JP 2001-147659 A (Sony Corp.), 29 May, 2001 (29.05.01), Par. Nos. [0015] to [0018]; Fig. 1 & EP 1102234 A2 & KR 2001051698 A & US 6501466 B1	11, 24

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
08 April, 2003 (08.04.03)

Date of mailing of the international search report
22 April, 2003 (22.04.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G09G3/30, 3/20, H05B33/14

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G09G3/30, 3/20, H05B33/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国登録実用新案公報 1994-2003年
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-318627 A (株式会社半導体エネルギー研究所) 2001. 11. 16, 【0029】 ~ 【0034】, 【図18】 & US 2001/0038098 A1	2-5, 8, 15-19, 21
A	JP 2001-147659 A (ソニー株式会社) 2001. 05. 29, 【0015】 ~ 【0018】, 【図1】 & EP 1102234 A2 & KR 2001051698 A & US 6501466 B1	11, 24

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

08. 04. 03

国際調査報告の発送日

22.04.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 濱本 禎広



2 G 9 5 0 9

電話番号 03-3581-1101 内線 3225